

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-274075

(43)公開日 平成7年(1995)10月20日

(51) Int.Cl.<sup>6</sup>

H04N 5/335

識別記号

庁内整理番号

FI

### 技術表示箇所

P

審査請求 未請求 請求項の数8 FD (全 23 頁)

(21)出願番号

特願平6-88049

(22) 出題日

平成6年(1994)4月3日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 志村 雅之

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

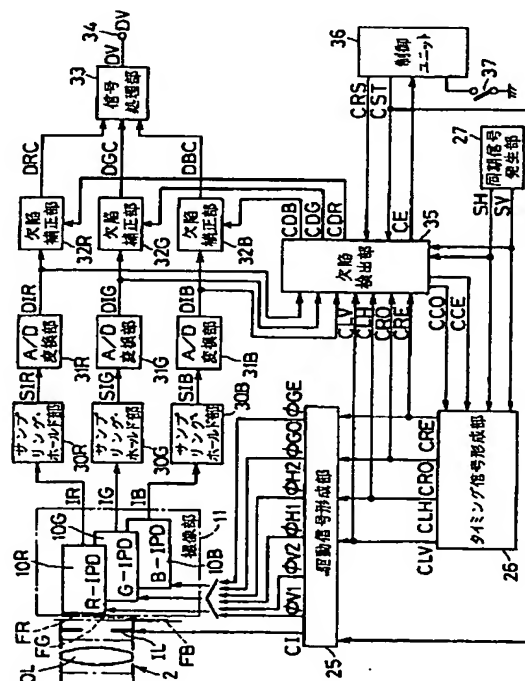
(74)代理人 弁理士 神原 貞昭

(54) 【発明の名称】 撮像信号欠陥検出及び補正装置

(57) 【要約】

【目的】複数の撮像面形成部の各々における欠陥画素の検出及び位置の特定に用いられる、欠陥アドレスデータを格納するメモリ手段を、メモリ容量が効率良く利用されるものとして、撮像信号中の補正されない欠陥部分の低減を図る。

【構成】３個の撮像面形成部１０Ｒ、１０Ｇ、１０Ｂから得られる撮像信号中の欠陥画素に基づく欠陥部分を検出する欠陥検出部３５と、欠陥部分が検出された撮像信号を特定する識別データを得る識別データ形成部と、欠陥部分が検出された撮像信号の形成に関わる撮像面形成部１０Ｒ、１０Ｇ、１０Ｂにおける欠陥画素に対応する欠陥アドレスデータを、識別データと対応させてデータメモリ部に格納する欠陥データ記憶部と、データメモリ部から読み出された欠陥アドレスデータ及び識別データに基づいて、欠陥補正指示信号を得る制御信号形成部とを備える。



## 【特許請求の範囲】

【請求項1】各々が複数の画素が配列配置されて成るものとされた複数の撮像面形成部を有し、該複数の撮像面形成部に夫々投影される画像に基づいて形成される複数の撮像信号が得られる撮像部からの上記撮像信号に含まれる、上記撮像面形成部における欠陥画素からの出力信号に基づく欠陥部分を検出する信号欠陥検出部と、該信号欠陥検出部により上記欠陥部分が検出されるとき、該欠陥部分の検出がなされた撮像信号を特定する識別データを得る識別データ形成部と、上記信号欠陥検出部により上記欠陥部分が検出されるとき、該欠陥部分の検出がなされた撮像信号の形成に関わる上記撮像面形成部における各画素を特定するアドレスデータのうちの、上記欠陥部分の原因をなす欠陥画素に対応するものとされる欠陥アドレスデータを、上記識別データ形成部からの識別データと対応させてデータメモリ手段に格納する欠陥データ記憶部と、該欠陥データ記憶部におけるデータメモリ手段から読み出された上記欠陥アドレスデータ及び識別データに基づいて、該識別データにより特定される撮像信号に対する欠陥補正部に欠陥補正動作制御信号を送出する制御信号形成部と、を備えて構成される撮像信号欠陥検出及び補正装置。

【請求項2】信号欠陥検出部により検出される欠陥部分のレベルを検出する欠陥レベル検出部を備え、欠陥データ記憶部が、欠陥アドレスデータの識別データと対応させたもとでのデータメモリ手段への格納を、該欠陥アドレスデータに対応する欠陥部分の上記欠陥レベル検出部により検出されるレベルに応じた優先順位に従って行なうことを特徴とする請求項1記載の撮像信号欠陥検出及び補正装置。

【請求項3】欠陥データ記憶部が、欠陥アドレスデータについての識別データと対応させたもとでのデータメモリ手段への格納に際しての優先順位を、欠陥アドレスデータのうちの対応する欠陥部分の欠陥レベル検出部により検出されるレベルが大であるもの程、対応する識別データの如何にかかわらず、他のものに優先して格納されることになるものとなすことを特徴とする請求項2記載の撮像信号欠陥検出及び補正装置。

【請求項4】欠陥データ記憶部が、欠陥アドレスデータの識別データと対応させたもとでのデータメモリ手段への格納を、予め設定された数の欠陥アドレスデータが格納されるものとして行い、上記予め設定された数の欠陥アドレスデータを、欠陥レベル検出部により検出されたレベルが他のものより大である上記予め設定された数の欠陥部分に、夫々対応するものとなすことを特徴とする請求項3記載の撮像信号欠陥検出及び補正装置。

【請求項5】欠陥レベル検出部が、信号欠陥検出部により検出される欠陥部分のレベルをあらわすレベルデータを形成するレベルデータ形成部と、該レベルデータ形成

部により形成されたレベルデータをメモリ手段に格納するレベルデータ記憶部とを含んで成り、上記レベルデータ形成部により新たに形成されたレベルデータとレベルデータ記憶部における上記メモリ手段に格納されたレベルデータとの比較より、上記新たに形成されたレベルデータがあらわす欠陥部分のレベルを検出することを特徴とする請求項3または4記載の撮像信号欠陥検出及び補正装置。

【請求項6】欠陥レベル検出部におけるレベルデータ記憶部が、レベルデータのメモリ手段への格納を、予め設定された数のレベルデータが格納されるものとして行い、上記予め設定された数のレベルデータを、該予め設定された数のレベルデータの夫々があらわすレベルが他のレベルデータがあらわすレベルより大であるものとなすことを特徴とする請求項5記載の撮像信号欠陥検出及び補正装置。

【請求項7】信号欠陥検出部が、撮像部における複数の撮像面形成部に夫々投影される画像に基づいて形成される複数の撮像信号に含まれる欠陥部分の検出を、上記複数の撮像面形成部に外光が実質的に入射しない状態のもとで行うものとされることを特徴とする請求項1から6のいずれかに記載の撮像信号欠陥検出及び補正装置。

【請求項8】信号欠陥検出部が、赤色原色信号用、緑色原色信号用及び青色原色信号用とされる3個の撮像面形成部に夫々投影される画像に基づいて形成される複数の撮像信号に含まれる、上記3個の撮像面形成部の夫々における欠陥画素からの出力信号に基づく欠陥部分を検出するものとされたことを特徴とする請求項1から7のいずれかに記載の撮像信号欠陥検出及び補正装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、複数の画素が配列配置された撮像面形成部を備えた撮像部から、撮像面形成部における複数の画素の夫々からの出力信号に基づいて得られる撮像信号に含まれる、撮像面形成部における欠陥画素からの出力信号に基づく欠陥部分を検出するとともに、欠陥部分を含んだ撮像信号に対して欠陥補正を施す、撮像信号欠陥検出及び補正装置に関する。

## 【0002】

【従来の技術】映像信号を形成するビデオカメラ等を構成すべく用いられる固体撮像部は、半導体基体に、光電変換を行う多数の画素が多数の並行列を形成して配列形成されるとともに、各画素で得られた信号電荷を転送する電荷結合素子(CCD)等で形成された電荷転送領域が設けられて成る撮像面形成部を備えたものとされる。このような固体撮像部における撮像面形成部は、その製造過程において極めて多数の画素の全てが適正に機能するものとなるようにされることは容易ではなく、例えば、半導体の局所的な結晶欠陥等に起因して異常な動作を行うことになる欠陥画素が含まれるものとなり易い。

また、固体撮像部が実際の使用に供された後においても、静電破壊等に起因して、部分的に欠陥画素を含むものとされてしまう虞もある。

【0003】そして、欠陥画素を含む撮像面形成部を備えるものとされた固体撮像部が使用される場合には、その撮像面形成部における画素の各々からの出力信号についての、画素が形成する多数の並行列のうちの選択されたものとされる読出列に従ったサンプリング読出しが行われ、それにより順次得られる撮像信号中に、欠陥画素からの出力信号がノイズ成分として混入して、撮像信号の欠陥部分を形成することになるので、固体撮像部からの撮像信号が供給されてそれに基づく撮像出力信号を形成する信号処理回路部において、斯かる欠陥画素に起因する撮像信号の欠陥部分に対する処置、即ち、欠陥補正が行われることが要求される。

【0004】それゆえ、固体撮像部に備えられる撮像面形成部にあつては、その製造工程中における各画素が適正に作動すべき状態とされた段階において、それに含まれる欠陥画素を検出してその位置を特定するためのテストが行われ、そのテストにより判明した欠陥画素の撮像面形成部における位置が、例えば、撮像面形成部上において多数の画素により形成される並行列の夫々を特定する垂直方向アドレスデータ及び並行列の各々における画素の夫々を特定する水平方向アドレスデータをもってあらわされるものとされて格納されたリード・オンリー・メモリ（ROM）が用意され、その欠陥画素データを内蔵したROMが撮像面形成部に付随せしめられようになされることが提案されている。このように、欠陥画素データを内蔵したROMが付随せしめられた撮像面形成部は、実際の使用に供されるにあたっては、それにおける画素の各々からの出力信号に基づいて得られる、欠陥画素に起因する欠陥部分を含んだ撮像信号に対して、ROMから読み出された欠陥画素データに応じた欠陥補正が施され、それにより、撮像信号における欠陥部分の除去あるいは低減が図られるものとされることになる。

【0005】しかしながら、上述の如くに、撮像面形成部が欠陥画素データを内蔵したROMが付随せしめられるものとされるにあたっては、その製造工程中における各画素が適正に作動すべき状態とされた段階において行われる欠陥画素を検出してその位置を特定するためのテストが、極めて複雑で高価なテスト・システムが構築されたもとで行われることになる。そのため、テスト・システムの構築に多額の費用が要されるとともに、それを用いてのテストに充てられる工数が比較的多とされて、撮像面形成部の製造コストが高むことになってしまうという問題がある。

【0006】さらに、固体撮像部に備えられる撮像面形成部における画素の各々からの出力信号に基づいて得られる撮像信号に含まれた欠陥画素に起因する欠陥部分に対して、ROMから読み出された欠陥画素データに応じ

た欠陥補正を施すようになす対処は、撮像面形成部の製造過程において発生した欠陥画素に関しては有効であるが、撮像面形成部が実際の使用に供された後において、例えば、静電破壊等に起因して生じた欠陥画素に対しては、効力を発揮することはできない。

【0007】そこで、このような問題に対処すべく、本願の出願人によって先に出願された特願平5-307477号に記載されている如くの、固体撮像部における実際の撮像動作に先立って、撮像面形成部に配列配置された複数の画素の夫々からの出力信号に基づいて形成される撮像信号に含まれる、欠陥画素からの出力信号に基づく欠陥部分を検出するとともに、撮像面形成部における各画素を特定するアドレスデータのうちの検出された欠陥部分の原因をなす欠陥画素に対応するものとされる欠陥アドレスデータをメモリ手段に書き込む動作を行い、固体撮像部における実際の撮像動作が行なわれる際に、メモリ手段から読み出された欠陥アドレスデータに基づいて、撮像信号についての欠陥補正を行なう欠陥補正部に欠陥補正動作制御信号を送出するものとされる撮像信号欠陥検出及び補正装置が提案されている。斯かる撮像信号欠陥検出及び補正装置によれば、固体撮像部から得られる撮像信号に基づいて、撮像面形成部における欠陥画素の検出及びその位置の特定が、そのための複雑で高価なテスト・システム等を要することなく、また、撮像面形成部が実際の使用に供された後において生じた欠陥画素も含めて、適宜、容易かつ確実に行われるとともにその結果が保存され、その後においては、検出された欠陥画素に起因する撮像信号の欠陥部分の補正が、保存された欠陥画素の位置の特定結果に基づくタイミング設定がなされるもとで、適正に行われることになる。

【0008】

【発明が解決しようとする課題】固体撮像部にあつては、1個の撮像面形成部を備えるもののほかに、複数の撮像面形成部を備えるものも知られている。例えば、撮像対象像についてのカラー映像信号を得るため、撮像対象像からの像光を分光フィルタを用いて赤色光、緑色光及び青色光に分け、撮像対象像を赤色光像、緑色光像及び青色光像に分解して撮像することとし、そのため、赤色光像、緑色光像及び青色光像の各々についての撮像を行なう3個の撮像面形成部を備えるものがある。

【0009】このような複数の撮像面形成部を備える固体撮像部における各撮像面形成部は、各々独立に構成されていて、夫々に投影される画像に基づく撮像信号が個別に得られるものとされる。従って、複数の撮像面形成部の夫々が、欠陥画素を含んでいる場合には、それに投影される画像に基づいて得られる撮像信号中に、欠陥画素からの出力信号がノイズ成分として混入して、撮像信号の欠陥部分を形成することになるものとされる。従って、複数の撮像面形成部を備える固体撮像部についても、得られる撮像信号における欠陥部分を検出し、検出

5

された欠陥部分に対する補正を行なうことが要求されることになるが、この要求に対しては、例えば、上述の如くの撮像信号欠陥検出及び補正装置による欠陥検出及び補正が、複数の撮像面形成部に夫々投影される画像に基づいて得られる複数の撮像信号の夫々について行なわれるようになすことにより対応することができる。

【0010】その際、複数の撮像信号の各々における欠陥部分の検出及び検出された欠陥部分に対応する欠陥アドレスデータのメモリ手段への書込みは、複数の撮像信号に夫々対応する、各撮像信号について専用の複数のメモリ手段が設けられて行なわれるが、メモリ容量の制約上、各メモリ手段に書き込まれる欠陥アドレスデータの数とは所定の最大数以下に制限される。そして、検出がなされてもそれに対応する欠陥アドレスデータのメモリ手段への書込みがなされなかった欠陥部分については、それに対する補正は行なわれない。

【0011】通常、複数の撮像面形成部は、各々における欠陥画素の存在状況が相違するものとなり、従って、夫々に投影される画像に基づいて得られる撮像信号の夫々について行なわれる欠陥部分の検出、及び、検出された欠陥部分に対応する欠陥アドレスデータのメモリ手段への書込みが、相互に異なった態様をもって行なわれる。それゆえ、例えば、複数の撮像信号のうちの一つについて専用のメモリ手段にあっては、書込みが望まれる欠陥アドレスデータの数が所定の最大数を越えていて、メモリ手段への書込みがなされない欠陥アドレスデータがある状況とされ、それに対して、複数の撮像信号のうちの他の一つについて専用の他のメモリ手段にあっては、書込みが望まれる欠陥アドレスデータの数が所定の最大数未満とされる状況にあり、従って、それらが全て書き込まれた上でさらに書込みが可能とされているという事態が生じる。

【0012】このようなものでは、複数の撮像信号のうちの一つにおいて検出された欠陥部分に対応する欠陥アドレスデータを、たとえ、複数の撮像信号のうちの他の一つについて専用の他のメモリ手段が書込み可能な状態にあるとしても、専用関係からして、その他のメモリ手段に書き込むことはできない。そして、書込みが望まれるが、メモリ容量の制約から、対応するメモリ手段への書込みがなされない欠陥アドレスデータに対応する欠陥部分が、他のメモリ手段に書き込まれている欠陥アドレスデータに対応する欠陥部分より大とされる、比較的大規模なものであるという事態が生じ得ることになる。このような状況のもとにあっては、複数のメモリ手段全体でみると、それに対する利用率が良好でなく、無駄なメモリ容量が生じていることになり、また、複数の撮像信号のうちの、書込みが望まれるが対応するメモリ手段への書込みがなされない欠陥アドレスデータに対応する欠陥部分を含むものについては、欠陥補正が充分に行なわれないことになってしまう虞がある。

6

【0013】斯かる点に鑑み、本発明は、各々が複数の画素が配列配置されて成るものとされた複数の撮像面形成部に夫々投影される画像に基づいて形成される、複数の撮像信号に含まれる撮像面形成部における欠陥画素からの出力信号に基づく欠陥部分を検出するとともに、検出された欠陥部分に対応する、撮像面形成部についての欠陥アドレスをメモリ手段に格納し、その後、メモリ手段から読み出された欠陥アドレスデータに基づいて、撮像信号についての欠陥補正を行なう欠陥補正部に欠陥補正動作制御信号を送出する動作が、複数の撮像信号に対してそれらに関連する欠陥アドレスデータの格納のため設けられたメモリ手段が効率良く利用され、複数の撮像信号の夫々について、メモリ容量の制約から対応するメモリ手段に書き込まれないものとされる欠陥アドレスデータに対応する、比較的大規模な欠陥部分が補正されずに残ってしまうものとされる事態の回避が図られるもとで、行なわれることになる撮像信号欠陥検出及び補正装置を提供することを目的とする。

【0014】

【課題を解決するための手段】上述の目的を達成すべく、本発明に係る撮像信号欠陥検出及び補正装置は、各々が複数の画素が配列配置されて成るものとされた複数の撮像面形成部を有し、それらに夫々投影される画像に基づいて形成される複数の撮像信号が得られる撮像部からの撮像信号に含まれる、撮像面形成部における欠陥画素からの出力信号に基づく欠陥部分を検出する信号欠陥検出部と、信号欠陥検出部により欠陥部分が検出されるとき、欠陥部分の検出がなされた撮像信号を特定する識別データを得る識別データ形成部とに加えて、信号欠陥検出部により欠陥部分が検出されるとき、欠陥部分の検出がなされた撮像信号の形成に関わる撮像面形成部における各画素を特定するアドレスデータのうちの、欠陥部分の原因をなす欠陥画素に対応するものとされる欠陥アドレスデータを、識別データ形成部からの識別データと対応させてデータメモリ手段に格納する欠陥データ記憶部が備えられ、さらに欠陥データ記憶部におけるデータメモリ手段から読み出された欠陥アドレスデータ及び識別データに基づいて、識別データにより特定される撮像信号に対する欠陥補正部に欠陥補正動作制御信号を送出する制御信号形成部が設けられて構成される。

【0015】また、本発明に係る撮像信号欠陥検出及び補正装置の一例にあっては、信号欠陥検出部により検出される欠陥部分のレベルを検出する欠陥レベル検出部が設けられ、欠陥データ記憶部が、欠陥アドレスデータの識別データと対応させたもとでのデータメモリ手段への格納を、欠陥アドレスデータに対応する欠陥部分の欠陥レベル検出部により検出されるレベルが大であるもの程、対応する識別データの如何にかかわらず、他のものに優先して格納されることになるものとされる。

【0016】

【作用】このように構成される本発明に係る撮像信号欠陥検出及び補正装置にあっては、信号欠陥検出部により、複数の撮像面形成部に夫々投影される画像に基づいて形成される複数の撮像信号の夫々についての欠陥部分の検出がなされ、欠陥部分が検出されると、識別データ形成部によって欠陥部分の検出がなされた撮像信号を特定する識別データが形成されるとともに、欠陥データ記憶部によって、欠陥部分の検出がなされた撮像信号の形成に関わる撮像面形成部における欠陥アドレスデータが、識別データと対応せしめられて、データメモリ手段に格納される。そして、その際、欠陥アドレスデータの識別データと対応させたもとのデータメモリ手段への格納が、例えば、欠陥アドレスデータに対応する欠陥部分の欠陥レベル検出部により検出されるレベルが大であるもの程他のものに優先して格納されることになるものとされる。それにより、データメモリ手段には、欠陥アドレスデータとそれに対応する識別データとが、例えば、欠陥アドレスデータに対応する欠陥部分のレベルの大きさの順に、データメモリ手段のメモリ容量を無駄にすることなく格納され、データメモリ手段が効率良く利用されることになる。

【0017】そして、データメモリ手段から読み出される欠陥アドレスデータは、それに対応する識別データに基づいて、複数の撮像信号のいずれに対応するものが判別され、対応する撮像信号の欠陥補正に用いられる。従って、複数の撮像信号の夫々について、データメモリ手段に書き込まれないものとされる欠陥アドレスデータに対応する、比較的大規模な欠陥部分が補正されずに残ってしまうものとされる事態の回避が図られることになる。

【0018】

【実施例】図1は、本発明に係る撮像信号欠陥検出及び補正装置の一例が適用された、固体撮像部を備えるビデオカメラを示す。

【0019】図1においては、各々が光電変換を行う多数の画素が多数の並行列を形成して配列形成されるとともに、各画素で得られた信号電荷を転送するCCDにより形成された電荷転送領域が設けられて成る赤色光像用撮像面形成部(R-IPD)10R、緑色光像用撮像面形成部(G-IPD)10G、及び、青色光像用撮像面形成部(B-IPD)10Bを備えるものとされた撮像部11が備えられている。撮像部11の前方には、レンズ・システムOL、絞り機構IL、R-IPD、10Rにレンズ・システムOL及び絞り機構ILを通じた赤色光を入射させる分光フィルタFR、G-IPD、10Gにレンズ・システムOL及び絞り機構ILを通じた緑色光を入射させる分光フィルタFG、及び、B-IPD、10Bにレンズ・システムOL及び絞り機構ILを通じた青色光を入射させる分光フィルタFB等を含んで構成される光学系12が配されており、この光学系12は、

R-IPD、10R、G-IPD、10G及びB-IPD、10Bに撮像対象像についての赤色光像、緑色光像及び青色光像を夫々投影する。

【0020】R-IPD、10R、G-IPD、10G及びB-IPD、10Bの各々は、例えば、図2に示される如くの、インターライン転送型の撮像面形成部により構成されるものとなされる。図2に示される撮像面形成部においては、半導体基体13上に、各々が個々の画素を構成する多数の光電変換素子部15が、多数の水平方向(矢印hの方向)に伸びる並行列(画素水平列)を形成するものとされて配列配置されている。多数の画素水平列の夫々を形成する光電変換素子部15は、また、多数の垂直方向(矢印vの方向)に伸びる並行列(画素垂直列)をも形成しており、このような光電変換素子部15が形成する各画素垂直列に沿って、CCD群により形成された垂直電荷転送部16が配されている。各垂直電荷転送部16は、例えば、2相の垂直転送駆動信号φV1及びφV2により駆動されて電荷転送動作を行う。

【0021】各画素垂直列を形成する複数の光電変換素子部15の夫々とその垂直列に対応する垂直電荷転送部16との間には、電荷読出ゲート部17が設けられている。そして、電荷読出ゲート部17は、画素水平列のうちの奇数番目のもの(奇数画素水平列)を形成する光電変換素子部15に関わるものが、読出ゲート駆動信号φGOによって電荷読出状態をとるものとされ、また、画素水平列のうちの偶数番目のもの(偶数画素水平列)を形成する光電変換素子部15に関わるものが、読出ゲート駆動信号φGEによって電荷読出状態をとるものとされる。

【0022】複数の垂直電荷転送部16の夫々の一端部側は、半導体基体13の端縁部において、CCD群により形成されて水平方向に伸びるものとされた水平電荷転送部18に連結されている。水平電荷転送部18は、例えば、2相の水平転送駆動信号φH1及びφH2により駆動されて電荷転送動作を行う。そして、水平電荷転送部18には、電荷出力部19が設けられており、電荷出力部19からは出力端子20が導出されている。

【0023】このような図2に示される、R-IPD、10R、G-IPD、10G及びB-IPD、10Bの夫々を構成する撮像面形成部において撮像動作が行われる際には、まず、所定の受光期間が設定され、その受光期間において、光学系12により、撮像対象についての赤色光像、緑色光像もしくは青色光像が投影される。それにより、受光期間において、各々が画素を構成する複数の光電変換素子部15の夫々が、撮像対象についての赤色光像、緑色光像もしくは青色光像に応じた光電変換を行って電荷を蓄積する。

【0024】その後、第1の電荷読出期間において、駆動信号形成部25から撮像部11におけるR-IPD、10R、G-IPD、10G及びB-IPD、10Bの

各々に供給される読出ゲート駆動信号 $\phi$ GOによって、奇数画素水平列を形成する光電変換素子部15に関わる電荷読出ゲート部17の夫々が電荷読出状態をとるものとされ、電荷読出状態をとる電荷読出ゲート部17の夫々を通じて、それに対応する光電変換素子部15に蓄積された電荷が対応する垂直電荷転送部16に読み出される。続いて、第1の電荷読出期間に続く第1の電荷転送期間において、各垂直電荷転送部16に読み出された電荷が、駆動信号形成部25から撮像部11におけるR-IPD、10R、G-IPD、10G及びB-IPD、10Bの各々に供給される、2相の垂直転送駆動信号 $\phi$ V1及び $\phi$ V2によって駆動される各垂直電荷転送部16の電荷転送動作により、各奇数画素水平列を形成する複数の光電変換素子部15により得られた分宛、順次、水平電荷転送部18に向けて転送されていく。

【0025】そして、水平電荷転送部18においては、駆動信号形成部25から撮像部11におけるR-IPD、10R、G-IPD、10G及びB-IPD、10Bの各々に供給される、2相の水平転送駆動信号 $\phi$ H1及び $\phi$ H2によって駆動されることにより行われる電荷転送動作により、水平電荷転送部18に順次転送される、奇数画素水平列の一つを形成する複数の光電変換素子部15で得られた分の電荷が、電荷出力部19へと転送される。電荷出力部19においては、水平電荷転送部18により転送されてくる電荷が順次信号化されて出力端子20に導出される。

【0026】次に、第1の電荷転送期間に続く第2の電荷読出期間において、駆動信号形成部25から撮像部11におけるR-IPD、10R、G-IPD、10G及びB-IPD、10Bの各々に供給される読出ゲート駆動信号 $\phi$ GEによって、偶数画素水平列を形成する光電変換素子部15に関わる電荷読出ゲート部17の夫々が電荷読出状態をとるものとされ、電荷読出状態をとる電荷読出ゲート部17の夫々を通じて、それに対応する光電変換素子部15に蓄積された電荷が対応する垂直電荷転送部16に読み出される。続いて、第2の電荷読出期間に続く第2の電荷転送期間において、各垂直電荷転送部16に読み出された電荷が、駆動信号形成部25から撮像部11におけるR-IPD、10R、G-IPD、10G及びB-IPD、10Bの各々に供給される、2相の垂直転送駆動信号 $\phi$ V1及び $\phi$ V2によって駆動される各垂直電荷転送部16の電荷転送動作により、各偶数画素水平列を形成する複数の光電変換素子部15により得られた分宛、順次、水平電荷転送部18に向けて転送されていく。

【0027】そして、水平電荷転送部18においては、駆動信号形成部25から撮像部11におけるR-IPD、10R、G-IPD、10G及びB-IPD、10Bの各々に供給される、2相の水平転送駆動信号 $\phi$ H1及び $\phi$ H2によって駆動されることにより行われる電荷

転送動作により、水平電荷転送部18に順次転送される、偶数画素水平列の一つを形成する複数の光電変換素子部15で得られた分の電荷が、電荷出力部19へと転送される。電荷出力部19においては、水平電荷転送部18により転送されてくる電荷が順次信号化されて出力端子20に導出される。

【0028】以下、上述の第1の電荷読出期間における電荷読出し、第1の電荷転送期間における電荷転送、第2の電荷読出期間における電荷読出し、及び、第2の電荷転送期間における電荷転送が順次繰り返される。そして、出力端子20に、複数の光電変換素子部15に蓄積された電荷に基づく、撮像対象についての赤色光像、緑色光像もしくは青色光像に応じた撮像信号IR、IGもしくはIBが得られる。即ち、R-IPD、10Rから赤色光像に応じた撮像信号IRが、G-IPD、10Gから緑色光像に応じた撮像信号IGが、そして、B-IPD、10Bから青色光像に応じた撮像信号IBが、夫々、得られるのである。

【0029】斯かる場合、R-IPD、10R、G-IPD、10G及びB-IPD、10Bの夫々を構成する撮像面形成部における、奇数画素水平列の夫々を形成する複数の光電変換素子部15で得られた電荷についての1画素水平列分宛の、各垂直電荷転送部16による水平電荷転送部18への転送が、奇数フィールド期間内において終了するとともに、偶数画素水平列の夫々を形成する複数の光電変換素子部15で得られた電荷についての1画素水平列分宛の、各垂直電荷転送部16による水平電荷転送部18への転送が、偶数フィールド期間内において終了し、また、水平電荷転送部18の夫々に順次転送される1画素水平列を形成する複数の光電変換素子部15で得られた分の電荷の、水平電荷転送部18による電荷出力部19への供給は、各ライン期間内において終了するものとされるように、2相の垂直転送駆動信号 $\phi$ V1及び $\phi$ V2及び2相の水平転送駆動信号 $\phi$ H1及び $\phi$ H2の夫々が設定される。それゆえ、R-IPD、10R、G-IPD、10G及びB-IPD、10Bの夫々を構成する撮像面形成部の出力端子20に導出される撮像信号IR、IGもしくはIBは、各々がライン期間分を単位とするものが連なって形成されることになる奇数フィールド期間分及び偶数フィールド期間分が順次繰り返されるものとされることになる。

【0030】従って、R-IPD、10R、G-IPD、10G及びB-IPD、10Bからは、奇数フィールド期間において、奇数画素水平列の夫々を形成する複数の光電変換素子部15で得られた電荷に基づくライン期間分の撮像信号が、奇数画素水平列の数だけ連なって形成される1フィールド期間分の撮像信号IR、IG及びIBが夫々得られ、また、偶数フィールド期間において、偶数画素水平列の夫々を形成する複数の光電変換素子部15で得られた電荷に基づくライン期間分の撮像信



11

号が、偶数画素水平列の数だけ連なって形成される1フィールド期間分の撮像信号IR、IG及びIBが夫々得られる。

【0031】駆動信号形成部25は、タイミング信号形成部26からの垂直方向クロック信号CLV、水平方向クロック信号CLH、及び、読出指令信号CRO及びCREが供給され、読出ゲート駆動信号φGOを読出指令信号CROに応じて形成するとともに、読出ゲート駆動信号φGEを読出指令信号CREに応じて形成し、また、2相の垂直転送駆動信号φV1及びφV2の夫々を10 垂直方向クロック信号CLVに基づいて形成し、さらに、2相の水平転送駆動信号φH1及びφH2の夫々を水平方向クロック信号CLHに基づいて形成する。そして、駆動信号形成部25は、読出ゲート駆動信号φGO、垂直転送駆動信号φV1及びφV2、及び、水平転送駆動信号φH1及びφH2を読出指令信号CROに応じて、また、読出ゲート駆動信号φGE、垂直転送駆動信号φV1及びφV2、及び、水平転送駆動信号φH1及びφH2を読出指令信号CREに応じて、夫々、撮像部11におけるR-IPD、10R、G-IPD、10G及びB-IPD、10Bの夫々に供給する。

【0032】タイミング信号形成部26は、同期信号発生部27からの垂直同期信号SV及び水平同期信号SHが供給され、さらに、後述される欠陥検出部35からの蓄積指令信号CCO及びCCEが供給されるもて、垂直方向クロック信号CLVを水平同期信号SHに基づいて形成し、また、水平方向クロック信号CLHを、水平同期信号SHより著しく高い周波数を有するが、水平同期信号SHに同期したものとして形成するとともに、読出指令信号CRO及びCREを、夫々、蓄積指令信号CCO及びCCEに基づき、奇数フィールド期間及び偶数フィールド期間に対応するものとして形成し、それらを駆動信号形成部25に供給するものとされている。

【0033】図3及び図4は、上述の如くにしてR-IPD、10R、G-IPD、10G及びB-IPD、10Bから夫々得られる撮像信号IR、IG及びIBの状態を示す。図3は、主として奇数フィールド期間における様子を示し、図3のAに示される如くの、図3のBに示される垂直同期信号SVの前縁部から始まる奇数フィールド期間O-Fにおいては、例えば、図3のCに示される水平同期信号SHの奇数フィールド期間O-Fの開始時点から数えて13番目のもの以降において、図3のDに示される如く、奇数画素水平列の夫々を形成する光電変換素子部15で得られた分の電荷に基づくライン期間分の撮像信号が連なって形成される撮像信号IR、IG及びIBが得られる。撮像信号IR、IG及びIBの夫々における各ライン期間分に付された奇数数字は、当該ライン期間分の撮像信号を形成する電荷が得られた撮像面形成部における奇数画素水平列の水平電荷転送部18側からの番号をあらわす。なお、この例にあっては、50

12

当該奇数フィールド期間O-Fの開始時点より3ライン期間だけ先立つ時点から当該奇数フィールド期間O-Fの開始時点から17ライン期間だけ経過するまでの20ライン期間に相当する期間は、実際には垂直ブランキング期間TBLKとされる。

【0034】同様に、図4は、主として偶数フィールド期間における様子を示し、図4のAに示される如くの、図4のBに示される垂直同期信号SVの前縁部から始まる偶数フィールド期間E-Fにおいては、例えば、図4のCに示される水平同期信号SH（奇数フィールド期間O-Fの場合に比して0.5ライン期間分のズレを生じている）の偶数フィールド期間E-Fの開始時点から数えて14番目のもの以降において、図4のDに示される如く、偶数画素水平列の夫々を形成する光電変換素子部15で得られた分の電荷に基づくライン期間分の撮像信号が連なって形成される撮像信号IR、IG及びIBが得られる。撮像信号IR、IG及びIBにおける各ライン期間分に付された偶数数字は、当該ライン期間分の撮像信号を形成する電荷が得られた撮像面形成部における偶数画素水平列の水平電荷転送部18側からの番号をあらわす。なお、ここにおいても、当該偶数フィールド期間E-Fの開始時点より3ライン期間だけ先立つ時点から当該偶数フィールド期間E-Fの開始時点から17ライン期間だけ経過するまでの20ライン期間に相当する期間は、実際には垂直ブランキング期間TBLKとされる。

【0035】撮像部11におけるR-IPD、10R、G-IPD、10G及びB-IPD、10Bから夫々得られる撮像信号IR、IG及びIBは、サンプリング・ホールド部30R、30G及び30Bに供給される。サンプリング・ホールド部30Rにおいては、撮像信号IRに対する所定の短周期毎のレベル・サンプリング及びサンプル・レベルの保持が行われてサンプリング・ホールド出力信号SIRが得られ、それがA/D変換部31Rに供給される。A/D変換部31Rにおいては、サンプリング・ホールド出力信号SIRに基づいての撮像信号IRのデジタル化が図られ、A/D変換部31Rから、撮像信号IRに対応するデジタル撮像信号DIRが得られて、それが欠陥補正部32Rに供給される。

【0036】同様に、サンプリング・ホールド部30Gにおいては、撮像信号IGに対する所定の短周期毎のレベル・サンプリング及びサンプル・レベルの保持が行われてサンプリング・ホールド出力信号SIGが得られ、それがA/D変換部31Gに供給される。A/D変換部31Gにおいては、サンプリング・ホールド出力信号SIGに基づいての撮像信号IGのデジタル化が図られ、A/D変換部31Gから、撮像信号IGに対応するデジタル撮像信号DIGが得られて、それが欠陥補正部32Gに供給される。さらに、サンプリング・ホールド

## 13

ド部30Bにおいては、撮像信号IBに対する所定の短周期毎のレベル・サンプリング及びサンプル・レベルの保持が行われてサンプリング・ホールド出力信号SIBが得られ、それがA/D変換部31Bに供給される。A/D変換部31Bにおいては、サンプリング・ホールド出力信号SIBに基づいての撮像信号IBのデジタル化が図られ、A/D変換部31Bから、撮像信号IBに対応するデジタル撮像信号DIBが得られて、それが欠陥補正部32Bに供給される。

【0037】欠陥補正部32R、32G及び32Bには、欠陥検出部35から送出される欠陥補正指示信号CDR、CDG及びCDBも夫々供給される。欠陥補正部32Rにおいては、欠陥補正指示信号CDRに応じて、デジタル撮像信号DIRに含まれる、撮像部11のR-IPD、10Rにおける多数の光電変換素子部15のうちの動作不良を生じているもの、即ち、欠陥画素に起因してもたらされた欠陥部分についての補正が行われ、また、欠陥補正部32Gにおいては、欠陥補正指示信号CDGに応じて、デジタル撮像信号DIGに含まれる、撮像部11のG-IPD、10Gにおける欠陥画素に起因してもたらされた欠陥部分についての補正が行われ、さらに、欠陥補正部32Gにおいては、欠陥補正指示信号CDBに応じて、デジタル撮像信号DIBに含まれる、撮像部11のB-IPD、10Bにおける欠陥画素に起因してもたらされた欠陥部分についての補正が行われる。

【0038】欠陥補正部32Rにおける欠陥補正指示信号CDRに応じたデジタル撮像信号DIRにおける欠陥部分の補正、欠陥補正部32Gにおける欠陥補正指示信号CDGに応じたデジタル撮像信号DIGにおける欠陥部分の補正、及び、欠陥補正部32Bにおける欠陥補正指示信号CDBに応じたデジタル撮像信号DIBにおける欠陥部分の補正については、既に提案されている撮像部から得られる撮像信号についての欠陥補正方式が適宜採用される。そして、欠陥補正部32Rから、デジタル撮像信号DIRに対してそれに含まれる欠陥部分に応じた欠陥補正が施されて得られるデジタル撮像信号DRCが、欠陥補正部32Gから、デジタル撮像信号DIGに対してそれに含まれる欠陥部分に応じた欠陥補正が施されて得られるデジタル撮像信号DGCが、さらに、欠陥補正部32Bから、デジタル撮像信号DIBに対してそれに含まれる欠陥部分に応じた欠陥補正が施されて得られるデジタル撮像信号DBCが、夫々送出される。

【0039】欠陥補正部32Rから得られるデジタル撮像信号DRC、欠陥補正部32Gから得られるデジタル撮像信号DGC、及び、欠陥補正部32Bから得られるデジタル撮像信号DBCは、信号処理部33に供給される。信号処理部33においては、デジタル撮像信号DRC、DGC及びDBCの夫々についての各種の

## 14

処理、各種の処理が施されたデジタル撮像信号DRC、DGC及びDBCの合成、デジタル撮像信号DRC、DGC及びDBCの合成により得られる信号に対する各種の処理が行われて、撮像部11におけるR-IPD、10R、G-IPD、10G及びB-IPD、10Bから夫々得られた撮像信号IR、IG及びIBに基づく映像信号DVが形成され、それが出力端子34に導出される。

【0040】欠陥検出部35には、A/D変換部31Rからのデジタル撮像信号DIR、A/D変換部31Gからのデジタル撮像信号DIG、A/D変換部31Bからのデジタル撮像信号DIB、タイミング信号形成部26からの垂直方向クロック信号CLV、水平方向クロック信号CLH、読出指令信号CRO及び読出指令信号CRE、同期信号発生部27からの垂直同期信号SV及び水平同期信号SH、及び、制御ユニット36からのリセット信号CRS及び欠陥検出指令信号CSTが供給される。そして、欠陥検出部35は、デジタル撮像信号DIRがR-IPD、10Rにおける欠陥画素に起因してもたらされる欠陥部分を含むものであるとき、デジタル撮像信号DIGがG-IPD、10Gにおける欠陥画素に起因してもたらされる欠陥部分を含むものであるとき、あるいは、デジタル撮像信号DIBがB-IPD、10Bにおける欠陥画素に起因してもたらされる欠陥部分を含むものであるとき、そのデジタル撮像信号DIR、DIGもしくはDIBにおける欠陥部分を検出し、検出された欠陥部分の原因をなしているR-IPD、10R、G-IPD、10GもしくはB-IPD、10Bにおける欠陥画素を、R-IPD、10R、G-IPD、10GもしくはB-IPD、10Bに関する垂直方向アドレスAV及び水平方向アドレスAHによって特定するとともに、欠陥画素を特定する垂直方向アドレスAV及び水平方向アドレスAHの夫々をあらわす欠陥アドレスデータを、欠陥部分の検出がなされたデジタル撮像信号DIR、DIGもしくはDIBを特定する識別データと対応させて、内蔵するメモリ部に格納する動作、及び、内蔵するメモリ部に格納された欠陥アドレスデータ及び識別データに基づき、適切なタイミングをとるものとされる欠陥補正指示信号CDR、CDG及びCDBを形成して、それらを欠陥補正部32R、32G及び32Bに夫々供給する動作を行う。

【0041】R-IPD、10R、G-IPD、10G及びB-IPD、10Bの夫々に関する垂直方向アドレスAV及び水平方向アドレスAHは、垂直方向アドレスAVが、R-IPD、10R、G-IPD、10G及びB-IPD、10Bの夫々における多数の画素水平列の各々を特定するアドレスであって、水平方向アドレスAHが、R-IPD、10R、G-IPD、10G及びB-IPD、10Bの夫々における各画素水平列内における画素の各々の位置を特定するアドレスであるものとさ



れる。従って、欠陥アドレスデータがあらわすアドレスは、R-IPD、10R、G-IPD、10G及びB-IPD、10Bの夫々における欠陥画素が属する画素水平列を特定する垂直方向アドレスAVと、その垂直方向アドレスAVによって特定された画素水平列内における欠陥画素の位置を特定する水平方向アドレスAHとを含むものとされる。

【0042】さらに、欠陥検出部35は、このような動作を通じて、タイミング信号形成部26に対する蓄積指令信号CCO及びCCEの供給を行うとともに、ディジタル撮像信号DIR、DIGもしくはDIBにおける欠陥部分を検出し、検出された欠陥部分の原因をなしているR-IPD、10R、G-IPD、10GもしくはB-IPD、10Bにおける欠陥画素を特定する欠陥アドレスデータを、識別データと対応させて、内蔵するメモリ部に格納する動作が終了したとき、検出終了信号CEを制御ユニット36に送出する。

【0043】制御ユニット36は、欠陥検出部35に、ディジタル撮像信号DIR、DIGもしくはDIBにおける欠陥部分を検出し、検出された欠陥部分の原因をなしているR-IPD、10R、G-IPD、10GもしくはB-IPD、10Bにおける欠陥画素を特定する欠陥アドレスデータを、識別データと対応させて、内蔵するメモリ部に格納する動作を行わせるべく操作される欠陥検出動作スイッチ37が設けられたものとされている。そして、制御ユニット36は、欠陥検出動作スイッチ37が操作されてオン状態をとるものとされると、先ず、リセット信号CRSを欠陥検出部35に供給し、続いて、欠陥検出指令信号CSTを、その後欠陥検出部35から検出終了信号CEが到来するまで、欠陥検出部35及び駆動信号形成部25の夫々に供給する。

【0044】駆動信号形成部25は、制御ユニット36からの欠陥検出指令信号CSTが供給されるとき、それに応じて、絞リ機構ILに供給される絞リ機構駆動信号CIを、絞リ機構ILに全絞リ状態をとらせるものとなす。絞リ機構ILが全絞リ状態をとるものとあつては、撮像部11におけるR-IPD、10R、G-IPD、10G及びB-IPD、10Bが、実質的に外光が入射しない状態に維持される。その後、駆動信号形成部25に対する制御ユニット36からの欠陥検出指令信号CSTの供給が停止されると、駆動信号形成部25は、絞リ機構ILに供給される絞リ機構駆動信号CIを、絞リ機構ILに欠陥検出指令信号CSTの供給前の状態をとらせるものに返す。

【0045】欠陥検出部35は、制御ユニット36からのリセット信号CRSが供給されると、それに応じて、それまで内蔵されたメモリ部に格納されていた欠陥アドレスデータ及び識別データを消去して、内蔵されたメモリ部に対する新たな欠陥アドレスデータ及び識別データの書込みに備える。そして、続いて制御ユニット36か

ら到来する欠陥検出指令信号CSTに応じ、絞リ機構ILが全絞リ状態をとるものとされたもとにおいて、ディジタル撮像信号DIR、DIGもしくはDIBにおける欠陥部分を検出し、検出された欠陥部分の原因をなしているR-IPD、10R、G-IPD、10G及びB-IPD、10Bにおける欠陥画素を特定する欠陥アドレスデータを、識別データと対応させて、内蔵するメモリ部に格納する動作を開始する。

【0046】図5、図6及び図7は、欠陥検出部35の具体構成の一例を示す。この例においては、信号入力端子40（図6）に、同期信号発生部27からの垂直同期信号SVが供給される。垂直同期信号SVは、図8のAに示される如く、その各周期によって、図8のBに示される如くに、奇数フィールド期間O-Fと偶数フィールド期間E-Fとが交互に設定されるものとされる。また、信号入力端子41及び42（図6）には、タイミング信号形成部26からの垂直方向クロック信号CLV及び水平方向クロック信号CLHが夫々供給される。

【0047】制御ユニット36に設けられた欠陥検出動作スイッチ37が操作されてオン状態をとるものとされ、それに応じて、制御ユニット36からリセット信号CRS及びそれに続く欠陥検出指令信号CSTが送出されると、その欠陥検出指令信号CSTが、信号入力端子43（図6）に、例えば、図8のCに示される如くのタイミングをもって供給される。図8のCに示される如くにして欠陥検出指令信号CSTが信号入力端子43に供給される場合には、欠陥検出指令信号CSTの供給開始時点は、撮像部11におけるR-IPD、10R、G-IPD、10G及びB-IPD、10Bから夫々得られた撮像信号IR、IG及びIBに基づくディジタル撮像信号DIR、DIG及びDIBが形成され、そのディジタル撮像信号DIR、DIG及びDIBに基づいて形成される映像信号DVが出力端子34に導出される動作が行われる期間である、映像信号出力期間TCO内にあるものとされる。斯かる映像信号出力期間TCOにおいては、信号入力端子44R、44G及び44B（図5）に、ディジタル撮像信号DIR、DIG及びDIBが、図8のGに示される如くに、夫々供給される。

【0048】信号入力端子44R、44G及び44Bに夫々供給されるディジタル撮像信号DIR、DIG及びDIBの各々は、奇数フィールド期間O-Fにおいては、R-IPD、10R、G-IPD、10G及びB-IPD、10Bの各々における奇数画素水平列の夫々を形成する光電変換素子部15で得られた電荷に基づくライン期間分の撮像信号が連なって形成された奇数ラインフィールド期間信号O.L.F.とされ、また、偶数フィールド期間E-Fにおいては、R-IPD、10R、G-IPD、10G及びB-IPD、10Bの各々における偶数画素水平列の夫々を形成する光電変換素子部15で得られた電荷に基づくライン期間分の撮像信号が連な

17

て形成された偶数ラインフィールド期間信号 E.L.F. とされる。

【0049】さらに、映像信号出力期間TCOにおける欠陥検出指令信号CSTの供給前にあつては、信号入力端子40を通じて垂直同期信号SVが供給される蓄積指令信号発生部45に、信号入力端子43を通じての欠陥検出指令信号CSTの供給がなされず、それにより、蓄積指令信号発生部45から得られる蓄積指令信号CCO及びCCEが、図8のD及びEに夫々示される如くに、各々が垂直同期信号SVの周期の2倍の周期を有し、垂直同期信号SVに同期して交互にあらわれるパルス信号とされる。

【0050】そして、蓄積指令信号発生部45に、信号入力端子43を通じた欠陥検出指令信号CSTが供給されると、蓄積指令信号発生部45は、それ以降、欠陥検出指令信号CSTの供給開始時点後3個目の垂直同期信号SVに同期したパルス信号として蓄積指令信号CCOを発生させた後、予め設定された、例えば、nフィールド期間( $n \geq 6$ )に相当する期間TCGOが経過するまで、蓄積指令信号CCOを発生させず、その後、期間TCGOが経過したとき、蓄積指令信号CCOを、垂直同期信号SVの周期の2倍の周期を有して垂直同期信号SVに同期するパルス信号として発生させ、また、欠陥検出指令信号CSTの供給開始時点の直前に、垂直同期信号SVに同期したパルス信号として蓄積指令信号CCEを発生させた後、予め設定された、例えば、nフィールド期間に相当する期間TCGEが経過するまで、蓄積指令信号CCEを発生させず、その後、期間TCGEが経過したとき、蓄積指令信号CCEを、垂直同期信号SVに同期させて発生させ、さらに、その後6フィールド期間に相当する期間において、それ以後、再び、蓄積指令信号CCEを垂直同期信号SVの周期の2倍の周期を有して垂直同期信号SVに同期するパルス信号として発生させる。

【0051】図8のD及びEに示される如くに、期間TCGOにおいてはあらわれないものとされる蓄積指令信号CCO及び期間TCGEにおいてはあらわれないものとされる蓄積指令信号CCEは、メモリ書込制御信号発生部46に供給されるとともにタイミング信号形成部26に供給される。タイミング信号形成部26は、読出指令信号CRO及びCREを、夫々、蓄積指令信号CCO及びCCEに同期して発せられるパルス列信号として送出する。それゆえ、期間TCGO内においては、駆動信号形成部25から撮像部11におけるR-IPD、10R、G-IPD、10G及びB-IPD、10Bの夫々への、読出ゲート駆動信号φGOの供給がなされず、R-IPD、10R、G-IPD、10G及びB-IPD、10Bの各々における奇数画素水平列の夫々を形成する光電変換素子部15で得られた電荷の垂直電荷転送部16への読出しは行われず、また、期間TCGE内に

18

においては、駆動信号形成部25から撮像部11におけるR-IPD、10R、G-IPD、10G及びB-IPD、10Bの夫々への、読出ゲート駆動信号φGEの供給がなされず、R-IPD、10R、G-IPD、10G及びB-IPD、10Bの各々における偶数画素水平列の夫々を形成する光電変換素子部15で得られた電荷の垂直電荷転送部16への読出しは行われず、また、期間TCGEにおいては、R-IPD、10R、G-IPD、10G及びB-IPD、10Bの各々における奇数画素水平列の夫々を形成する光電変換素子部15が電荷蓄積状態におかれ、また、期間TCGEにおいては、R-IPD、10R、G-IPD、10G及びB-IPD、10Bの各々における偶数画素水平列の夫々を形成する光電変換素子部15が電荷蓄積状態におかれることになるが、期間TCGO及び期間TCGEの両者が含まれる期間においては、撮像部11の前方に配された絞機構ILが全絞り状態をとるものとされているので、R-IPD、10R、G-IPD、10G及びB-IPD、10Bの各々は実質的に外光が入射しない状態におかれており、光電変換素子部15における外光による電荷の蓄積はなされない。

【0052】このようにして、期間TCGOにあつては、R-IPD、10R、G-IPD、10G及びB-IPD、10Bの各々における奇数画素水平列の夫々を形成する光電変換素子部15が電荷蓄積状態におかれ、また、期間TCGEにおいては、R-IPD、10R、G-IPD、10G及びB-IPD、10Bの各々における偶数画素水平列の夫々を形成する光電変換素子部15が電荷蓄積状態におかれることになるが、期間TCGO及び期間TCGEの両者が含まれる期間においては、撮像部11の前方に配された絞機構ILが全絞り状態をとるものとされているので、R-IPD、10R、G-IPD、10G及びB-IPD、10Bの各々は実質的に外光が入射しない状態におかれており、光電変換素子部15における外光による電荷の蓄積はなされない。

【0053】そして、期間TCGOの終端時点が到来すると、蓄積指令信号発生部45から蓄積指令信号CCOが垂直同期信号SVに同期してあらわれるパルス信号として発生せしめられ、それがタイミング信号形成部26に供給される。それにより、タイミング信号形成部26は、期間TCGOの終端時点において読出指令信号CROを、蓄積指令信号CCOに同期して発せられるパルス列信号として送出する。その結果、駆動信号形成部25から撮像部11におけるR-IPD、10R、G-IPD、10G及びB-IPD、10Bの夫々への、読出ゲート駆動信号φGO、垂直転送駆動信号φV1及びφV2、及び、水平転送駆動信号φH1及びφH2の供給が、期間TCGOの終端時点において開始され、R-IPD、10R、G-IPD、10G及びB-IPD、10Bの各々における奇数画素水平列の夫々を形成する光電変換素子部15で得られた電荷の垂直電荷転送部16への読出し、及び、読み出された電荷の垂直電荷転送部16による転送及び水平電荷転送部18による転送が、期間TCGOの終端時点において開始される。

【0054】同様に、期間TCGEの終端時点が到来すると、蓄積指令信号発生部45から蓄積指令信号CCEが垂直同期信号SVに同期してあらわれるパルス信号として発生せしめられ、それがタイミング信号形成部26に供給される。それにより、タイミング信号形成部26は、期間TCGEの終端時点において読出指令信号CREを、蓄積指令信号CCEに同期して発せられるパルス列信号として送出する。その結果、駆動信号形成部25から撮像部11におけるR-IPD、10R、G-IPD、10G及びB-IPD、10Bの夫々への、読出ゲ

ート駆動信号φGE、垂直転送駆動信号φV1及びφV2、及び、水平転送駆動信号φH1及びφH2の供給が、期間TCGEの終端時点において開始され、R-IPD、10R、G-IPD、10G及びB-IPD、10Bの各々における偶数画素水平列の夫々を形成する光電変換素子部15で得られた電荷の垂直電荷転送部16への読出し、及び、読み出された電荷の垂直電荷転送部16による転送及び水平電荷転送部18による転送が、期間TCGEの終端時点において開始される。

【0055】斯かる際におけるR-IPD、10R、G-IPD、10G及びB-IPD、10Bの夫々における光電変換素子部15で得られた電荷の垂直電荷転送部16への読出し、及び、読み出された電荷の垂直電荷転送部16による転送及び水平電荷転送部18による転送は、R-IPD、10R、G-IPD、10G及びB-IPD、10Bの夫々における撮像信号IR、IG及びIBの形成に直接的に寄与しない領域からの電荷の読出し及び転送をも含むものとされ、通常の1フィールド期間より長い期間に亘って行われる。それにより、R-IPD、10R、G-IPD、10G及びB-IPD、10Bから、それらが実質的に外光が入射しない状態におかれたもとで、期間TCGOが経過したときにおける奇数画素水平列の夫々を形成する光電変換素子部15の電荷状態をあらわす撮像信号IR、IG及びIBが夫々得られ、それに伴って、信号入力端子44R、44G及び44Bに、そのときの撮像信号IR、IG及びIBに夫々基づくデジタル撮像信号DIR、DIG及びDIBが、図8のGに示される如くに、期間TCGOの終端時点から開始される1フィールド期間より長い期間である期間TDDOにおいて供給される。また、同様に、R-IPD、10R、G-IPD、10G及びB-IPD、10Bから、それらが実質的に外光が入射しない状態におかれたもとで、期間TCGEが経過したときにおける偶数画素水平列の夫々を形成する光電変換素子部15の電荷状態をあらわす撮像信号IR、IG及びIBが夫々得られ、それに伴って、信号入力端子44R、44G及び44Bに、そのときの撮像信号IR、IG及びIBに夫々基づくデジタル撮像信号DIR、DIG及びDIBが、図8のGに示される如くに、期間TCGEの終端時点から開始される1フィールド期間より長い期間である期間TDDEにおいて供給される。

【0056】蓄積指令信号発生部45から発せられる蓄積指令信号CCO及びCCEが供給されるメモリ書込制御信号発生部46からは、期間TCGEの終端時点において供給される蓄積指令信号CCE、及び、期間TCGOの終端時点において供給される蓄積指令信号CCOに応じて、図8のFに示される如くの、期間TCGEの終端時点から2フィールド期間に亘って、及び、期間TCGOの終端時点から2フィールド期間に亘って、夫々、高レベルをとるメモリ書込制御信号CWCが送出され

て、それが後述される欠陥データが格納されるデータメモリ部47A、47B、47C及び47Dの夫々における制御端子に供給される。データメモリ部47A、47B、47C及び47Dの夫々は、メモリ書込制御信号発生部46から供給されるメモリ書込制御信号CWCが、高レベルをとるときのみデータの書込みが可能とされ、それ以外のときには、データの読出し、あるいは、データの消去が可能とされる。従って、信号入力端子44R、44G及び44Bに、夫々、デジタル撮像信号DIR、DIG及びDIBが、図8のGに示される如くに、期間TDDE及び期間TDDOにおいて供給されるもとにあっては、データメモリ部47A、47B、47C及び47Dの夫々がデータの書込みが可能な状態におかれる。

【0057】期間TDDE及び期間TDDOにおいて信号入力端子44Rに供給されるデジタル撮像信号DIRは、クランプ部50Rにおいて黒レベルが固定され、さらに、ブランキング部51Rにおいて、R-IPD、10Rにおける各画素水平列を形成する光電変換素子部15からの電荷に基づいて得られた部分以外の部分にブランキングがかけられ、デジタル撮像信号DIR'とされてレベル比較部52Rに供給される。また、期間TDDE及び期間TDDOにおいて信号入力端子44Gに供給されるデジタル撮像信号DIGは、クランプ部50Gにおいて黒レベルが固定され、さらに、ブランキング部51Gにおいて、G-IPD、10Gにおける各画素水平列を形成する光電変換素子部15からの電荷に基づいて得られた部分以外の部分にブランキングがかけられ、デジタル撮像信号DIG'とされてレベル比較部52Gに供給される。さらに、期間TDDE及び期間TDDOにおいて信号入力端子44Bに供給されるデジタル撮像信号DIBは、クランプ部50Bにおいて黒レベルが固定され、さらに、ブランキング部51Bにおいて、B-IPD、10Bにおける各画素水平列を形成する光電変換素子部15からの電荷に基づいて得られた部分以外の部分にブランキングがかけられ、デジタル撮像信号DIB'とされてレベル比較部52Bに供給される。

【0058】斯かるデジタル撮像信号DIR'、DIG'及びDIB'は、絞り機構ILが全絞り状態とされてR-IPD、10R、G-IPD、10G及びB-IPD、10Bの夫々が実質的に外光が入射しない状態におかれたもとで得られた撮像信号IR、IG及びIBに夫々基づくものであるため、各々は、R-IPD、10R、G-IPD、10G及びB-IPD、10Bの夫々における画素、即ち、光電変換素子部15が適正に動作するもとはレベルが小とされるはずである。換言すれば、デジタル撮像信号DIR'、DIG'及びDIB'の夫々において、比較的大なるレベルをとる部分があれば、その部分は、R-IPD、10R、G-IP

## 21

D、10GもしくはB-I PD、10Bにおける欠陥画素に起因する欠陥部分であることになる。

【0059】レベル比較部52R、52G及び52Bの夫々には、基準レベル発生部53からの予め設定された基準レベルをあらわす基準レベルデータDXが供給される。そして、レベル比較部52Rにおいて、デジタル撮像信号DIR'のレベルと基準レベルデータDXがあらわす基準レベルとが比較され、レベル比較部52Rから、デジタル撮像信号DIR'のレベルが基準レベル以下であるとき低レベルをあらわし、デジタル撮像信号DIR'のレベルが基準レベルを越えているとき高レベルをあらわすレベル比較データDDRが得られる。従って、デジタル撮像信号DIR'が適正であって比較的小なるレベルを有するものであるときには、低レベルをあらわすレベル比較データDDRが得られ、デジタル撮像信号DIR'が比較的大なるレベルをとるものとされる欠陥部分を含んでいる場合には、その欠陥部分に対応して、高レベルをあらわすレベル比較データDDRが得られることになり、デジタル撮像信号DIR'に含まれる欠陥部分は、レベル比較データDDRが高レベルをあらわすものとされることにより検出される。

【0060】また、レベル比較部52Gにおいて、デジタル撮像信号DIG'のレベルと基準レベルデータDXがあらわす基準レベルとが比較され、レベル比較部52Gから、デジタル撮像信号DIG'のレベルが基準レベル以下であるとき低レベルをあらわし、デジタル撮像信号DIG'のレベルが基準レベルを越えているとき高レベルをあらわすレベル比較データDDGが得られる。従って、デジタル撮像信号DIG'が適正であって比較的小なるレベルを有するものであるときには、低レベルをあらわすレベル比較データDDGが得られ、デジタル撮像信号DIG'が比較的大なるレベルをとるものとされる欠陥部分を含んでいる場合には、その欠陥部分に対応して、高レベルをあらわすレベル比較データDDGが得られることになり、デジタル撮像信号DIG'に含まれる欠陥部分は、レベル比較データDDGが高レベルをあらわすものとされることにより検出される。

【0061】さらに、レベル比較部52Bにおいて、デジタル撮像信号DIB'のレベルと基準レベルデータDXがあらわす基準レベルとが比較され、レベル比較部52Bから、デジタル撮像信号DIB'のレベルが基準レベル以下であるとき低レベルをあらわし、デジタル撮像信号DIB'のレベルが基準レベルを越えているとき高レベルをあらわすレベル比較データddbが得られる。従って、デジタル撮像信号DIB'が適正であって比較的小なるレベルを有するものであるときには、低レベルをあらわすレベル比較データddbが得られ、デジタル撮像信号DIB'が比較的大なるレベルをとるものとされる欠陥部分を含んでいる場合には、その欠

## 22

陥部分に対応して、高レベルをあらわすレベル比較データddbが得られることになり、デジタル撮像信号DIB'に含まれる欠陥部分は、レベル比較データddbが高レベルをあらわすものとされることにより検出される。

【0062】レベル比較部52Rから得られるレベル比較データDDR、レベル比較部52Gから得られるレベル比較データDDG、及び、レベル比較部52Bから得られるレベル比較データddbは、オア回路55に供給されるとともに、夫々、信号入力端子54R、54G及び54B(図6)を通じて識別データ形成部77に供給される。

【0063】ブランキング部51R、51G及び51Bから得られるデジタル撮像信号DIR'、DIG'及びDIB'は、レベルデータ形成部60R、60G及び60Bにも夫々供給される。レベルデータ形成部60Rにおいては、デジタル撮像信号DIR'のレベルをあらわすレベルデータDERが形成され、また、レベルデータ形成部60Gにおいては、デジタル撮像信号DIG'のレベルをあらわすレベルデータDEGが形成され、さらに、レベルデータ形成部60Bにおいては、デジタル撮像信号DIB'のレベルをあらわすレベルデータDEBが形成される。そして、レベルデータ形成部60R、60G及び60Bから夫々得られるレベルデータDER、DEG及びDEBが、加算部61を通じて、ゲート部63A、63B、63C及び63Dの夫々に供給されるとともに、レベルデータ比較部56A、56B、56C及び56Dの夫々における比較入力端の一方に供給される。

【0064】デジタル撮像信号DIR'、DIG'及びDIB'は、夫々に含まれる欠陥部分が高レベルをとるものとされるので、レベルデータDLR、DLG及びDLBは、デジタル撮像信号DIR'、DIG'及びDIB'の夫々に含まれる欠陥部分に対応して、比較的高いレベルをあらわすものとされる。

【0065】レベルデータ比較部56Aにおける比較入力端の他方には、レベルデータメモリ部65Aに格納されたレベルデータDLAが、レベルデータメモリ部65Aから読み出されて供給され、レベルデータ比較部56Bにおける比較入力端の他方には、レベルデータメモリ部65Bに格納されたレベルデータDLBが、レベルデータメモリ部65Bから読み出されて供給され、レベルデータ比較部56Cにおける比較入力端の他方には、レベルデータメモリ部65Cに格納されたレベルデータDLCが、レベルデータメモリ部65Cから読み出されて供給され、さらに、レベルデータ比較部56Dにおける比較入力端の他方には、レベルデータメモリ部65Dに格納されたレベルデータDLLDが、レベルデータメモリ部65Dから読み出されて供給される。

【0066】また、レベルデータ比較部56A、56

## 23

B, 56C及び56Dの夫々における制御端子には、オア回路55から得られる出力データDDHが供給される。オア回路55からの出力データDDHは、レベル比較部52R, 52G及び52Bから夫々得られるレベル比較データDDR, DDG及びddbのうちの少なくとも一つが高レベルをあらわすものであるとき高レベルをあらわし、レベル比較データDDR, DDG及びddbがすべて低レベルをあらわすものであるとき低レベルをあらわす。従って、オア回路55からの出力データDDHは、デジタル撮像信号DIR', DIG'及びDIB'のいずれかに含まれる欠陥部分が検出されるとき高レベルをあらわすものとされる。そして、レベルデータ比較部56A, 56B, 56C及び56Dの夫々は、オア回路55からの出力データDDHが高レベルをあらわすものとされるとき、即ち、デジタル撮像信号DIR', DIG'及びDIB'のいずれかに含まれる欠陥部分が検出されるとき、レベル比較動作状態をとるものとされる。

【0067】レベルデータ比較部56Aにおいて、高レベルをあらわすものとされたオア回路55からの出力データDDHに応じてレベル比較動作状態がとられる際には、加算部61を通じて供給されるレベルデータDER, DEG及びDEBの夫々があらわすレベルと、レベルデータメモリ部65Aから読み出されたレベルデータDLAがあらわすレベルとが相互比較される。そして、レベルデータ比較部56Aから、レベルデータDER, DEG及びDEBのいずれかがあらわすレベルがレベルデータDLAがあらわすレベルより大であるとき、高レベルをとり、その他のとき低レベルをとる比較出力信号CLAが得られる。

【0068】同様に、レベルデータ比較部56Bにおいて、高レベルをあらわすものとされたオア回路55からの出力データDDHに応じてレベル比較動作状態がとられる際には、加算部61を通じて供給されるレベルデータDER, DEG及びDEBの夫々があらわすレベルと、レベルデータメモリ部65Bから読み出されたレベルデータDLBがあらわすレベルとが相互比較される。そして、レベルデータ比較部56Bから、レベルデータDER, DEG及びDEBのいずれかがあらわすレベルがレベルデータDLBがあらわすレベルより大であるとき、高レベルをとり、その他のとき低レベルをとる比較出力信号CLBが得られる。

【0069】また、レベルデータ比較部56Cにおいて、高レベルをあらわすものとされたオア回路55からの出力データDDHに応じてレベル比較動作状態がとられる際には、加算部61を通じて供給されるレベルデータDER, DEG及びDEBの夫々があらわすレベルと、レベルデータメモリ部65Cから読み出されたレベルデータDLCがあらわすレベルとが相互比較される。そして、レベルデータ比較部56Cから、レベルデータ

## 24

DER, DEG及びDEBのいずれかがあらわすレベルがレベルデータDLCがあらわすレベルより大であるとき、高レベルをとり、その他のとき低レベルをとる比較出力信号CLCが得られる。

【0070】さらに、レベルデータ比較部56Dにおいて、高レベルをあらわすものとされたオア回路55からの出力データDDHに応じてレベル比較動作状態がとられる際には、加算部61を通じて供給されるレベルデータDER, DEG及びDEBの夫々があらわすレベルと、レベルデータメモリ部65Dから読み出されたレベルデータDLDがあらわすレベルとが相互比較される。そして、レベルデータ比較部56Dから、レベルデータDER, DEG及びDEBのいずれかがあらわすレベルがレベルデータDLDがあらわすレベルより大であるとき、高レベルをとり、その他のとき低レベルをとる比較出力信号CLDが得られる。

【0071】レベルデータ比較部56Aから得られる比較出力信号CLAは、インバータ61Aを通じてアンド回路62Aに供給される。また、レベルデータ比較部56Bから得られる比較出力信号CLBは、アンド回路62Aに供給されるとともに、インバータ61Bを通じてアンド回路62Bに供給され、レベルデータ比較部56Cから得られる比較出力信号CLCは、アンド回路62Bに供給されるとともに、インバータ61Cを通じてアンド回路62Cに供給され、レベルデータ比較部56Dから得られる比較出力信号CLDは、アンド回路62Cに供給される。アンド回路62A, 62B及び63Cからは、出力信号CLB', CLC'及びCLD'が得られる。

【0072】斯かるもとで、レベルデータ比較部56A, 56B, 56C及び56Dの夫々においてレベル比較動作状態がとられ、レベルデータ比較部56Aから得られる比較出力信号CLAが高レベルをとるものとされるときには、その高レベルをとる比較出力信号CLAが、ゲート部63Aの制御端及びゲート部66Aの制御端に供給されるとともに、加算部67を通じ、制御信号CPとしてゲート部66Bの制御端に供給され、さらに、加算部68を通じ、制御信号CQとしてゲート部66Cの制御端に供給されて、ゲート部63A, 66A, 66B及び66Cの夫々がオン状態とされる。それにより、そのとき加算部61から得られるレベルデータDER, DEG及びDEBのいずれかが、ゲート部63Aを通じ、更新されたレベルデータDLAとしてレベルデータメモリ部65Aに格納され、それとともに、それまでレベルデータメモリ部65Aに格納されていたレベルデータDLAが、ゲート部66A及び加算部64Bを通じて、更新されたレベルデータDLBとしてレベルデータメモリ部65Bに格納され、また、それまでレベルデータメモリ部65Bに格納されていたレベルデータDLBが、ゲート部66B及び加算部64Cを通じて、更新さ

れたレベルデータDLCとしてレベルデータメモリ部65Cに格納され、さらに、それまでレベルデータメモリ部65Cに格納されていたレベルデータDLCが、ゲート部66C及び加算部64Dを通じて、更新されたレベルデータDLDとしてレベルデータメモリ部65Dに格納される。

【0073】レベルデータ比較部56A、56B、56C及び56Dの夫々においてレベル比較動作状態がとられ、アンド回路62Aから得られる出力信号CLB'が高レベルをとるものとされるとき、即ち、レベルデータ比較部56Aから低レベルをとる比較出力信号CLAが得られるとともにレベルデータ比較部56Bから高レベルをとる比較出力信号CLBが得られるときには、その高レベルをとる出力信号CLB'が、ゲート部63Bの制御端に供給されるとともに、加算部67を通じ、制御信号CPとしてゲート部66Bの制御端に供給され、さらに、加算部68を通じ、制御信号CQとしてゲート部66Cの制御端に供給されて、ゲート部63B、66B及び66Cの夫々がオン状態とされる。それにより、そのとき加算部61から得られるレベルデータDER、DEG及びDEBのいずれかが、ゲート部63B及び加算部64Bを通じ、更新されたレベルデータDLBとしてレベルデータメモリ部65Bに格納され、それとともに、それまでレベルデータメモリ部65Bに格納されていたレベルデータDLBが、ゲート部66B及び加算部64Cを通じて、更新されたレベルデータDLCとしてレベルデータメモリ部65Cに格納され、また、それまでレベルデータメモリ部65Cに格納されていたレベルデータDLCが、ゲート部66C及び加算部64Dを通じて、更新されたレベルデータDLDとしてレベルデータメモリ部65Dに格納される。

【0074】レベルデータ比較部56A、56B、56C及び56Dの夫々においてレベル比較動作状態がとられ、アンド回路62Bから得られる出力信号CLC'が高レベルをとるものとされるとき、即ち、レベルデータ比較部56Bから低レベルをとる比較出力信号CLBが得られるとともにレベルデータ比較部56Cから高レベルをとる比較出力信号CLCが得られるときには、その高レベルをとる出力信号CLC'が、ゲート部63Cの制御端に供給されるとともに、加算部68を通じ、制御信号CQとしてゲート部66Cの制御端に供給されて、ゲート部63C及び66Cの夫々がオン状態とされる。それにより、そのとき加算部61から得られるレベルデータDER、DEG及びDEBのいずれかが、ゲート部63C及び加算部64Cを通じ、更新されたレベルデータDLCとしてレベルデータメモリ部65Cに格納され、それとともに、それまでレベルデータメモリ部65Cに格納されていたレベルデータDLCが、ゲート部66C及び加算部64Dを通じて、更新されたレベルデータDLDとしてレベルデータメモリ部65Dに格納され

る。

【0075】さらに、レベルデータ比較部56A、56B、56C及び56Dの夫々においてレベル比較動作状態がとられ、アンド回路62Cから得られる出力信号CLD'が高レベルをとるものとされるとき、即ち、レベルデータ比較部56Cから低レベルをとる比較出力信号CLCが得られるとともにレベルデータ比較部56Dから高レベルをとる比較出力信号CLDが得られるときには、その高レベルをとる出力信号CLD'が、ゲート部63Dの制御端に供給されて、ゲート部63Dがオン状態とされる。それにより、そのとき加算部61から得られるレベルデータDER、DEG及びDEBのいずれかが、ゲート部63D及び加算部64Dを通じ、更新されたレベルデータDLDとしてレベルデータメモリ部65Dに格納される。

【0076】なお、レベルデータ比較部56A、56B、56C及び56Dの夫々においてレベル比較動作状態がとられた結果、レベルデータ比較部56Aから得られる比較出力信号CLA、アンド回路62Aから得られる出力信号CLB'、アンド回路62Bから得られる出力信号CLC'、及び、アンド回路62Cから得られる出力信号CLD'のいずれかが低レベルをとるものである場合には、そのとき加算部61から得られるレベルデータDER、DEGもしくはDEBのレベルデータメモリ部65A、65B、65C及び65Dのいずれへの格納もなされない。

【0077】このようにされることにより、期間TDD E及び期間TDD Oにおいて、デジタル撮像信号DIR'、DIG'及びDIB'のいずれかに含まれる欠陥部分が検出され、オア回路55からの出力データDDHが高レベルをとるものとされるときには、その検出された欠陥部分のレベルをあらわすレベルデータDER、DEG及びDEBのいずれかが、レベルデータメモリ部65AにレベルデータDLAとして、レベルデータメモリ部65BにレベルデータDLBとして、レベルデータメモリ部65CにレベルデータDLCとして、もしくは、レベルデータメモリ部65DにレベルデータDLDとして格納される状態、あるいは、レベルデータメモリ部65A、65B、65C及び65Dのいずれにも格納されない状態とされる。そして、その結果、レベルデータメモリ部65A、65B、65C及び65Dに、夫々、デジタル撮像信号DIR'、DIG'及びDIB'において検出された欠陥部分のレベルをあらわすレベルデータDLA～DLDが、それがあらわすレベルが大である程優先されて、かつ、レベルデータDLAがあらわすレベル  $\geq$  レベルデータDLBがあらわすレベル  $\geq$  レベルデータDLCがあらわすレベル  $\geq$  レベルデータDLDがあらわすレベルという関係が成立するようにして、格納されることになる。

【0078】また、斯かる際、信号入力端子41を通じ



27

た垂直方向クロック信号CLVが垂直方向アドレスカウンタ(V-アドレスカウンタ)70に供給され、また、信号入力端子42を通じた水平方向クロック信号CLHが水平方向アドレスカウンタ(H-アドレスカウンタ)71に供給される。さらに、V-アドレスカウンタ70には、信号入力端子72及び73に夫々供給される、タイミング信号形成部26により蓄積指令信号CCO及びCCEに基づいて形成された読出指令信号CRO及びCREが、加算部74を通じてリセット信号として供給され、また、H-アドレスカウンタ71には、垂直方向クロック信号CLVがリセット信号として供給される。

【0079】それにより、V-アドレスカウンタ70は、読出指令信号CRO及びCREの到来毎に計数値がリセットされるもとで、奇数フィールド期間及び偶数フィールド期間の夫々において垂直方向クロック信号CLVを計数し、計数データDAVを送出する。また、H-アドレスカウンタ71は、垂直方向クロック信号CLVの到来毎に計数値がリセットされるもとで、水平方向クロック信号CLHを計数して、計数データDAHを送出する。従って、V-アドレスカウンタ70から得られる計数データDAVの内容は、撮像部11のR-IPD、10R、G-IPD、10G及びB-IPD、10Bの夫々における垂直電荷転送部16による電荷転送に同期して変化し、また、H-アドレスカウンタ71から得られる計数データDAHの内容は、撮像部11のR-IPD、10R、G-IPD、10G及びB-IPD、10Bの夫々における水平電荷転送部18による電荷転送に同期して変化するものとされる。

【0080】それゆえ、V-アドレスカウンタ70から得られる計数データDAVの内容は、R-IPD、10R、G-IPD、10G及びB-IPD、10Bから撮像信号IR、IG及びIBが夫々得られるとき、R-IPD、10R、G-IPD、10G及びB-IPD、10Bの各々における、そのとき得られている撮像信号IR、IGもしくはIBを形成するものとされた電荷を提供した画素、即ち、光電変換素子部15が属する画素水平列を特定する垂直方向アドレスAVをあらわし、また、H-アドレスカウンタ71から得られる計数データDAHの内容は、R-IPD、10R、G-IPD、10G及びB-IPD、10Bから撮像信号IR、IG及びIBが夫々得られるとき、R-IPD、10R、G-IPD、10G及びB-IPD、10Bの各々における、そのとき得られている撮像信号IR、IGもしくはIBを形成するものとされた電荷を提供した画素、即ち、光電変換素子部15のそれが属する画素水平列内における位置を特定する水平方向アドレスAHをあらわすものとされる。

【0081】従って、期間TDDE及び期間TDDOにおいて、レベル比較部52Rからのレベル比較データDDRが高レベルをあらわすものとされて、デジタル撮

28

像信号DIR'に含まれた欠陥部分が検出されたときには、そのときV-アドレスカウンタ70から得られている計数データDAVがあらわす垂直方向アドレスAVが、その欠陥部分の原因をなすR-IPD、10Rにおける欠陥画素が属する画素水平列をあらわしており、また、そのときH-アドレスカウンタ71から得られている計数データDAHがあらわす水平方向アドレスAHが、その欠陥部分の原因をなすR-IPD、10Rにおける欠陥画素のそれが属する画素水平列内における位置をあらわしている。従って、斯かる際には、計数データDAVと計数データDAHとが、R-IPD、10Rについての欠陥アドレスデータを構成している。

【0082】同様に、期間TDDE及び期間TDDOにおいて、レベル比較部52Gからのレベル比較データDDGが高レベルをあらわすものとされて、デジタル撮像信号DIG'に含まれた欠陥部分が検出されたときには、そのときV-アドレスカウンタ70から得られている計数データDAVがあらわす垂直方向アドレスAVが、その欠陥部分の原因をなすG-IPD、10Gにおける欠陥画素が属する画素水平列をあらわしており、また、そのときH-アドレスカウンタ71から得られている計数データDAHがあらわす水平方向アドレスAHが、その欠陥部分の原因をなすG-IPD、10Gにおける欠陥画素のそれが属する画素水平列内における位置をあらわしている。従って、斯かる際には、計数データDAVと計数データDAHとが、G-IPD、10Gについての欠陥アドレスデータを構成している。

【0083】さらに、期間TDDE及び期間TDDOにおいて、レベル比較部52Bからのレベル比較データddbが高レベルをあらわすものとされて、デジタル撮像信号DIB'に含まれた欠陥部分が検出されたときには、そのときV-アドレスカウンタ70から得られている計数データDAVがあらわす垂直方向アドレスAVが、その欠陥部分の原因をなすB-IPD、10Bにおける欠陥画素が属する画素水平列をあらわしており、また、そのときH-アドレスカウンタ71から得られている計数データDAHがあらわす水平方向アドレスAHが、その欠陥部分の原因をなすB-IPD、10Bにおける欠陥画素のそれが属する画素水平列内における位置をあらわしている。従って、斯かる際には、計数データDAVと計数データDAHとが、B-IPD、10Bについての欠陥アドレスデータを構成している。そして、V-アドレスカウンタ70から得られる計数データDAV及びH-アドレスカウンタ71から得られる計数データDAHは、データ合成部76に供給される。

【0084】信号入力端子54R、54G及び54Bを通じて、レベル比較部52Rからのレベル比較データDDR、レベル比較部52Gからのレベル比較データDDG、及び、レベル比較部52Bからのレベル比較データddbが供給される識別データ形成部77においては、

29

レベル比較データDDR、DDG及びddbの夫々のレベルに応じたものとされる識別データDIDが形成される。この識別データDIDは、レベル比較データDDRが高レベルをとるものとされるとき、即ち、デジタル撮像信号DIR'に含まれた欠陥部分が検出されたとき、デジタル撮像信号DIR'をあらわし、また、レベル比較データDDGが高レベルをとるものとされるとき、即ち、デジタル撮像信号DIG'に含まれた欠陥部分が検出されたとき、デジタル撮像信号DIG'をあらわし、さらに、レベル比較データddbが高レベルをとるものとされるとき、即ち、デジタル撮像信号DIB'に含まれた欠陥部分が検出されたとき、デジタル撮像信号DIB'をあらわすものとされる。そして、識別データ形成部77から得られる識別データDIDが、データ合成部76に供給される。

【0085】データ合成部76からは、V-アドレスカウンタ70から得られる計数データDAV、H-アドレスカウンタ71から得られる計数データDAH、及び、識別データ形成部77から得られる識別データDIDが合成されて得られる合成データDZが得られ、その合成データDZが、ゲート部80A、80B、80C及び80Dに供給される。また、信号入力端子86に加算部68からの制御信号CQが供給されるとともに、信号入力端子87に加算部67からの制御信号CPが供給され、また、信号入力端子88にレベルデータ比較部56Aからの比較出力信号CLAが供給され、さらに、信号入力端子89、90及び91にアンド回路62Aからの出力信号CLB'、アンド回路62Bからの出力信号CLC'及びアンド回路62Cからの出力信号CLD'が夫々供給される。

【0086】斯かるもとで、期間TDD E及び期間TDD Oにおいて、レベルデータ比較部56A、56B、56C及び56Dの夫々においてレベル比較動作状態がとられ、レベルデータ比較部56Aから得られる比較出力信号CLAが高レベルをとるものとされるときには、その高レベルをとる比較出力信号CLAが、信号入力端子88を通じて、ゲート部80Aの制御端及びゲート部82Aの制御端に供給されるとともに、制御信号CPとして信号入力端子87を通じてゲート部82Bの制御端に供給され、さらに、制御信号CQとして信号入力端子86を通じてゲート部82Cの制御端に供給されて、ゲート部80A、82A、82B及び82Cの夫々がオン状態とされる。それにより、そのときデータ合成部76から得られる合成データDZが、ゲート部80Aを通じ、更新された欠陥データDZAとしてデータメモリ部47Aに格納され、それとともに、それまでデータメモリ部47Aに格納されていた欠陥データDZAが、ゲート部82A及び加算部81Bを通じて、更新された欠陥データDZBとしてデータメモリ部47Bに格納され、また、それまでデータメモリ部47Bに格納されていた欠

30

陥データDZBが、ゲート部82B及び加算部81Cを通じて、更新された欠陥データDZCとしてデータメモリ部47Cに格納され、さらに、それまでデータメモリ部47Cに格納されていた欠陥データDZCが、ゲート部82C及び加算部81Dを通じて、更新された欠陥データDZDとしてデータメモリ部47Dに格納される。

【0087】レベルデータ比較部56A、56B、56C及び56Dの夫々においてレベル比較動作状態がとられ、アンド回路62Aから得られる出力信号CLB'が高レベルをとるものとされるとき、即ち、レベルデータ比較部56Aから低レベルをとる比較出力信号CLAが得られるとともにレベルデータ比較部56Bから高レベルをとる比較出力信号CLBが得られるときには、その高レベルをとる出力信号CLB'が、信号入力端子89を通じて、ゲート部80Bの制御端に供給されるとともに、制御信号CPとして信号入力端子87を通じてゲート部82Bの制御端に供給され、さらに、制御信号CQとして信号入力端子86を通じてゲート部82Cの制御端に供給されて、ゲート部80B、82B及び82Cの夫々がオン状態とされる。それにより、そのときデータ合成部76から得られる合成データDZが、ゲート部80B及び加算部81Bを通じ、更新された欠陥データDZBとしてデータメモリ部47Bに格納され、それとともに、それまでデータメモリ部47Bに格納されていた欠陥データDZBが、ゲート部82B及び加算部81Cを通じて、更新された欠陥データDZCとしてデータメモリ部47Cに格納され、さらに、それまでデータメモリ部47Cに格納されていた欠陥データDZCが、ゲート部82C及び加算部81Dを通じて、更新された欠陥データDZDとしてデータメモリ部47Dに格納される。

【0088】レベルデータ比較部56A、56B、56C及び56Dの夫々においてレベル比較動作状態がとられ、アンド回路62Bから得られる出力信号CLC'が高レベルをとるものとされるとき、即ち、レベルデータ比較部56Bから低レベルをとる比較出力信号CLBが得られるとともにレベルデータ比較部56Cから高レベルをとる比較出力信号CLCが得られるときには、その高レベルをとる出力信号CLC'が、信号入力端子90を通じて、ゲート部80Cの制御端に供給されるとともに、制御信号CQとして信号入力端子86を通じてゲート部82Cの制御端に供給されて、ゲート部80C及び82Cの夫々がオン状態とされる。それにより、そのときデータ合成部76から得られる合成データDZが、ゲート部80C及び加算部81Cを通じ、更新された欠陥データDZCとしてデータメモリ部47Cに格納され、それとともに、それまでデータメモリ部47Cに格納されていた欠陥データDZCが、ゲート部82C及び加算部81Dを通じて、更新された欠陥データDZDとしてデータメモリ部47Dに格納される。

31

【0089】さらに、レベルデータ比較部56A、56B、56C及び56Dの夫々においてレベル比較動作状態がとられ、アンド回路62Cから得られる出力信号CLD'が高レベルをとるものとされるとき、即ち、レベルデータ比較部56Cから低レベルをとる比較出力信号CLCが得られるとともにレベルデータ比較部56Dから高レベルをとる比較出力信号CLDが得られるときには、その高レベルをとる出力信号CLD'が、信号入力端子91を通じて、ゲート部80Dの制御端に供給される。それにより、そのときデータ合成部76から得られる合成データDZが、ゲート部80D及び加算部81Dを通じ、更新された欠陥データDZDとしてデータメモリ部47Dに格納され。

【0090】なお、レベルデータ比較部56A、56B、56C及び56Dの夫々においてレベル比較動作状態がとられた結果、レベルデータ比較部56Aから得られる比較出力信号CLA、アンド回路62Aから得られる出力信号CLB'、アンド回路62Bから得られる出力信号CLC'、及び、アンド回路62Cから得られる出力信号CLD'のいずれもが低レベルをとるものである場合には、そのときデータ合成部76から得られる合成データDZは、データメモリ部47A、47B、47C及び47Dのいずれにも格納されない。

【0091】このようにされることにより、期間TDD E及び期間TDD Oにおいて、デジタル撮像信号DIR'、DIG'及びDIB'のいずれかに含まれる欠陥部分が検出され、レベル比較部52Rからのレベル比較データDDR、レベル比較部52Gからのレベル比較データDDG、及び、レベル比較部52Bからのレベル比較データddbのうちのいずれかが高レベルをとるものとされるときには、その検出された欠陥部分に対応するR-IPD、10R、G-IPD、10GもしくはB-IPD、10Bについての欠陥アドレスデータとそれに対応する識別データDIDとを含むものとされた合成データDZが、データメモリ部47Aに欠陥データDZAとして、データメモリ部47Bに欠陥データDZBとして、データメモリ部47Cに欠陥データDZCとして、もしくは、データメモリ部47Dに欠陥データDZDとして格納される状態、あるいは、データメモリ部47A、47B、47C及び47Dのいずれにも格納されない状態とされる。そして、その結果、データメモリ部47A、47B、47C及び47Dに、夫々、欠陥アドレスデータとそれに対応する識別データDIDとを含む欠陥データDZA~DZDが、それに含まれる欠陥アドレスデータにより特定されるR-IPD、10R、G-IPD、10GもしくはB-IPD、10Bにおける欠陥画素に起因するデジタル撮像信号DIR'、DIG'もしくはDIB'に含まれる欠陥部分のレベルが大である程優先されて、かつ、欠陥データDZAに対応する欠陥部分のレベル  $\geq$  欠陥データDZBに対応する欠陥

32

部分のレベル  $\geq$  欠陥データDZCに対応する欠陥部分のレベル  $\geq$  欠陥データDZDに対応する欠陥部分のレベルという関係が成立するようにして、格納されることになる。

【0092】斯かるもとの、メモリ書込制御信号発生部46、データメモリ部47A、47B、47C及び47D、ゲート部80A、80B、80C及び80D、及び、ゲート部82A、82B、82C及び82D等を含む部分により、欠陥データ記憶部が構成されている。

【0093】次に、期間TDD E及び期間TDD Oが経過すると、メモリ書込制御信号発生部46からのメモリ書込制御信号CWCが供給される検出終了信号発生部83から、図8のHに示される如くの、メモリ書込制御信号CWCの後縁時点に応じて形成される検出終了信号CEが得られ、その検出終了信号CEが制御ユニット36に供給される。それにより、制御ユニット36は、図8のCに示される如くに、欠陥検出指令信号CSTの送出を検出終了信号CEの前縁時点以降の時点において停止させる。そして、検出終了信号CEの前縁時点において、欠陥検出部35は、欠陥検出動作、即ち、デジタル撮像信号DIR'、DIG'もしくはDIB'における欠陥部分を検出し、検出された欠陥部分の原因をなしているR-IPD、10R、G-IPD、10GもしくはB-IPD、10Bにおける欠陥画素を特定する欠陥アドレスデータを、欠陥部分の検出がなされたデジタル撮像信号DIR'、DIG'もしくはDIB'をあらわす識別データDIDと対応させ、欠陥データDZA、DZB、DZCもしくはDZDとして、データメモリ部47A、47B、47C及び47Dに格納する動作が完了し、その後、例えば、映像信号出力期間TCOに戻る。

【0094】欠陥検出動作が完了した欠陥検出部35にあっては、その後の映像信号出力期間TCOにおいて、データメモリ部47A、47B、47C及び47Dから、そこに格納された欠陥データDZA、DZB、DZC及びDZDが夫々読み出され、加算部84を通じて、読出欠陥データDZZとして信号供給端子93（図7）に供給される。そして、信号供給端子93を通じた読出欠陥データDZZは、識別データ判別部94及びスイッチ95における可動接点95Aに供給される。

【0095】識別データ判別部94にあっては、読出欠陥データDZZ、即ち、データメモリ部47A、47B、47C及び47Dのいずれかから読み出された欠陥データDZA、DZB、DZC及びDZDのうちのいずれかが供給されると、それに含まれる識別データDIDが、デジタル撮像信号DIR'、DIG'及びDIB'のうちのいずれに対応するものであるかが判別され、判別結果をあらわす判別出力信号DDが形成される。この判別出力信号DDは、スイッチ95の制御端に供給され、それにより、スイッチ95が、判別出力信号

DDが、読出欠陥データDZZに含まれる識別データDIDがデジタル撮像信号DIR'に対応することをあらわすものであるとき、可動接点95Aが選択接点95Rに接続され、判別出力信号DDが、読出欠陥データDZZに含まれる識別データDIDがデジタル撮像信号DIG'に対応することをあらわすものであるとき、可動接点95Aが選択接点95Gに接続され、さらに、判別出力信号DDが、読出欠陥データDZZに含まれる識別データDIDがデジタル撮像信号DIB'に対応することをあらわすものであるとき、可動接点95Aが選

10 択接点95Bに接続されるものとされる。  
 【0096】識別データDIDがデジタル撮像信号DIR'に対応するものであって、スイッチ95がその可動接点95Aが選択接点95Rに接続されるものとされるときには、読出欠陥データDZZが、スイッチ95を通じて、データ分離部96Rに供給される。また、識別データDIDがデジタル撮像信号DIG'に対応するものであって、スイッチ95がその可動接点95Aが選

20 択接点95Gに接続されるものとされるときには、読出欠陥データDZZが、スイッチ95を通じて、データ分離部96Gに供給される。さらに、識別データDIDがデジタル撮像信号DIB'に対応するものであって、スイッチ95がその可動接点95Aが選択接点95Bに接続されるものとされるときには、読出欠陥データDZZが、スイッチ95を通じて、データ分離部96Bに供給される。  
 【0097】データ分離部96Rにあっては、読出欠陥データDZZに含まれる、R-IPD、10Rについての欠陥アドレスデータを形成する計数データDAV及びDAHが、読出計数データDAVR及びDAHRとして分

10

20

30

40

50

る。

【0098】V-アドレス比較部97R、97G及び97Bの夫々には、V-アドレスカウンタ70からの計数データDAVが、信号供給端子100を通じて供給される。そして、V-アドレスカウンタ70からの計数データDAVがあらわす垂直方向アドレスデータAVがV-アドレス比較部97Rにラッチされた読出計数データDAVRがあらわす垂直方向アドレスAVと一致するとき、V-アドレス比較部97Rから、高レベルをとる比較出力信号CVRが得られて、アンド回路99Rの一方の入力端に供給される。また、V-アドレスカウンタ70からの計数データDAVがあらわす垂直方向アドレスデータAVがV-アドレス比較部97Gにラッチされた読出計数データDAVGがあらわす垂直方向アドレスAVと一致するとき、V-アドレス比較部97Gから、高レベルをとる比較出力信号CVGが得られて、アンド回路99Gの一方の入力端に供給される。さらに、V-アドレスカウンタ70からの計数データDAVがあらわす垂直方向アドレスデータAVがV-アドレス比較部97Bにラッチされた読出計数データDAVBがあらわす垂直方向アドレスAVと一致するとき、V-アドレス比較部97Bから、高レベルをとる比較出力信号CVBが得られて、アンド回路99Bの一方の入力端に供給される。

【0099】一方、H-アドレス比較部98R、98G及び98Bの夫々には、H-アドレスカウンタ71からの計数データDAHが、信号供給端子101を通じて供給される。そして、H-アドレスカウンタ71からの計数データDAHがあらわす水平方向アドレスデータAHがH-アドレス比較部98Rにラッチされた読出計数データDAHRがあらわす水平方向アドレスAHと一致するとき、H-アドレス比較部98Rから、高レベルをとる比較出力信号CHRが得られて、アンド回路99Rの他方の入力端に供給される。また、H-アドレスカウンタ71からの計数データDAHがあらわす水平方向アドレスデータAHがH-アドレス比較部98Gにラッチされた読出計数データDAHGがあらわす水平方向アドレスAHと一致するとき、H-アドレス比較部98Gから、高レベルをとる比較出力信号CHGが得られて、アンド回路99Gの他方の入力端に供給される。さらに、H-アドレスカウンタ71からの計数データDAHがあらわす水平方向アドレスデータAHがH-アドレス比較部98Bにラッチされた読出計数データDAHBがあらわす水平方向アドレスAHと一致するとき、H-アドレス比較部98Bから、高レベルをとる比較出力信号CHBが得られて、アンド回路99Bの他方の入力端に供給される。

【0100】アンド回路99Rからは、比較出力信号CVRと比較出力信号CHRとの両者が高レベルをとるものとなるとき、欠陥補正指示信号CDRが得られ、それ

## 35

が欠陥補正部32Rに供給される。同様に、アンド回路99Gからは、比較出力信号CVGと比較出力信号CHGとの両者が高レベルをとるものとなる時、欠陥補正指示信号CDGが得られ、それが欠陥補正部32Gに供給される。さらに、アンド回路99Bからは、比較出力信号CVBと比較出力信号CHBとの両者が高レベルをとるものとなる時、欠陥補正指示信号CDBが得られ、それが欠陥補正部32Bに供給される。

【0101】斯かるもとで、識別データ判別部94からアンド回路99R、99G及び99Bに至る各種の回路ブロック部分により、制御信号形成部が構成されている。

【0102】上述の例においては、欠陥検出部35によるデジタル撮像信号DIR'、DIG'もしくはDIB'における欠陥部分を検出し、検出された欠陥部分の原因をなしている撮像部11のR-IPD、10R、G-IPD、10GもしくはB-IPD、10Bにおける欠陥画素を特定する欠陥アドレスデータを、欠陥部分の検出がなされたデジタル撮像信号DIR'、DIG'もしくはDIB'をあらわす識別データDIDと対応させてデータメモリ部47A、47B、47C及び47Dに格納する動作が、絞り機構ILが全絞り状態とされて、撮像部11のR-IPD、10R、G-IPD、10G及びB-IPD、10Bの夫々が実質的に外光が入射しない状態におかれたもとで行われていて、R-IPD、10R、G-IPD、10GもしくはB-IPD、10Bにおける、外光を受けないもとにおいても比較的大量の電荷を蓄積して送出するという動作不良を生じる欠陥画素についての検出とそれに起因する撮像信号の欠陥部分の補正が行われている。しかしながら、本発明は斯かる例に限られるものではなく、例えば、欠陥検出部35によるデジタル撮像信号DIR'、DIG'もしくはDIB'における欠陥部分を検出し、検出された欠陥部分の原因をなしている撮像部11のR-IPD、10R、G-IPD、10GもしくはB-IPD、10Bにおける欠陥画素を特定する欠陥アドレスデータを、欠陥部分の検出がなされたデジタル撮像信号DIR'、DIG'もしくはDIB'をあらわす識別データDIDと対応させてデータメモリ部47A、47B、47C及び47Dに格納する動作が、撮像部11のR-IPD、10R、G-IPD、10G及びB-IPD、10Bの夫々が、その有効領域の全体に互って外光が略均一に入射する状態におかれたもとで行われるようにされ、R-IPD、10R、G-IPD、10GもしくはB-IPD、10Bにおける、外光を受けたもとにおいても適正量の電荷を蓄積しないという動作不良を生じる欠陥画素についての検出とそれに起因する撮像信号の欠陥部分の補正を行うことができるものとされてよい。

【0103】

【発明の効果】以上の説明から明らかな如く、本発明に

## 36

係る撮像信号欠陥検出及び補正装置にあっては、複数の撮像面形成部に夫々投影される画像に基づいて形成される複数の撮像信号の夫々についての欠陥部分の検出がなされ、欠陥部分が検出されると、欠陥部分の検出がなされた撮像信号を特定する識別データが形成されるとともに、欠陥部分の検出がなされた撮像信号の形成に関わる撮像面形成部における欠陥アドレスデータが、識別データと対応せしめられて、データメモリ手段に格納され、その際、欠陥アドレスデータの識別データと対応させたもとでのデータメモリ手段への格納が、例えば、欠陥アドレスデータに対応する欠陥部分のレベルが大であるもの程他のものに優先して格納されることになるものとされる。それにより、データメモリ手段には、欠陥アドレスデータとそれに対応する識別データとが、例えば、欠陥アドレスデータに対応する欠陥部分のレベルの大きさの順に、データメモリ手段のメモリ容量を無駄にすることなく格納され、データメモリ手段が効率良く利用されることになる。

【0104】そして、データメモリ手段から読み出される欠陥アドレスデータは、それに対応する識別データに基づいて、複数の撮像信号のいずれに対応するものかが判別され、対応する撮像信号の欠陥補正に用いられるので、複数の撮像信号の夫々について、データメモリ手段に書き込まれないものとされる欠陥アドレスデータに対応する、比較的大規模な欠陥部分が補正されずに残ってしまうものとされる事態の回避が、効果的に図られることになる。

【図面の簡単な説明】

【図1】本発明に係る撮像信号欠陥検出及び補正装置の一例をそれが適用される撮像部、光学系等と共に示すブロック構成図である。

【図2】図1に示される例が適用される撮像部における撮像面形成部の説明に供される概略構成図である。

【図3】図1の例が適用される撮像部の動作説明に供されるタイムチャートである。

【図4】図1の例が適用される撮像部の動作説明に供されるタイムチャートである。

【図5】図1に示される例における欠陥検出部の具体構成例の部分を示すブロック構成図である。

【図6】図1に示される例における欠陥検出部の具体構成例の部分を示すブロック構成図である。

【図7】図1に示される例における欠陥検出部の具体構成例の部分を示すブロック構成図である。

【図8】図5、図6及び図7に示される欠陥検出部の具体構成例の動作説明に供されるタイムチャートである。

【符号の説明】

10R 赤色光像用撮像面形成部(R-IPD)

10G 緑色光像用撮像面形成部(G-IPD)

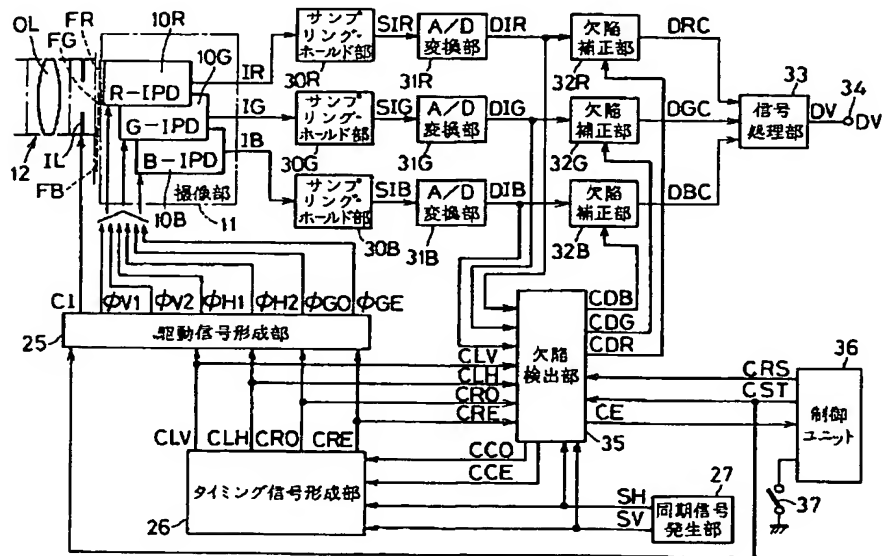
10B 青色光像用撮像面形成部(B-IPD)

37

38

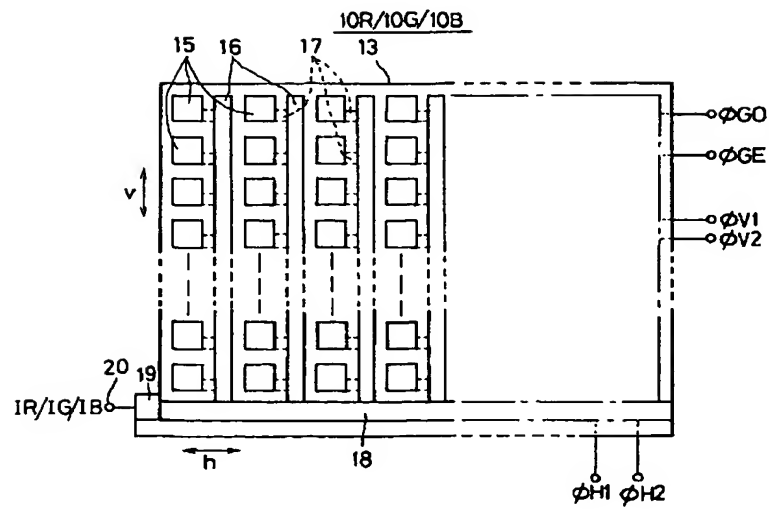
- |                    |              |                                 |            |
|--------------------|--------------|---------------------------------|------------|
| 11                 | 撮像部          | 52R, 52G, 52B                   | レベル比較部     |
| 12                 | 光学系          | 53                              | 基準レベル発生部   |
| 13                 | 半導体基体        | 56A, 56B, 56C, 56D              | レベルデータ比較部  |
| 15                 | 光電変換素子部      | 60R, 60G, 60B                   | レベルデータ形成部  |
| 16                 | 垂直電荷転送部      | 61A, 61B, 61C                   | インバータ      |
| 17                 | 電荷読出ゲート部     | 62A, 62B, 62C, 99R, 99G, 99B    | アンド回路      |
| 18                 | 水平電荷転送部      | 63A, 63B, 63C, 63D, 66A, 66B, 6 |            |
| 19                 | 電荷出力部        | 6C, 80A, 80B, 80C, 80D, 82A, 82 |            |
| 20                 | 出力端子         | B, 82C                          | ゲート部       |
| 25                 | 駆動信号形成部      | 65A, 65B, 65C, 65D              | レベルデータメモリ部 |
| 26                 | タイミング信号形成部   | 70                              | V-アドレスカウンタ |
| 27                 | 同期信号発生部      | 71                              | H-アドレスカウンタ |
| 30R, 30G, 30B      | サンプリング・ホールド部 | 77                              | 識別データ形成部   |
| 31R, 31G, 31B      | A/D変換部       | 94                              | 識別データ判別部   |
| 32R, 32G, 32B      | 欠陥補正部        | 95                              | スイッチ       |
| 33                 | 信号処理部        | 97R, 97G, 97B                   | V-アドレス比較部  |
| 35                 | 欠陥検出部        | 20 98R, 98G, 98B                | H-アドレス比較部  |
| 36                 | 制御ユニット       |                                 |            |
| 45                 | 蓄積指令信号発生部    |                                 |            |
| 46                 | メモリ書込制御信号発生部 |                                 |            |
| 47A, 47B, 47C, 47D | データメモリ部      |                                 |            |

【図1】

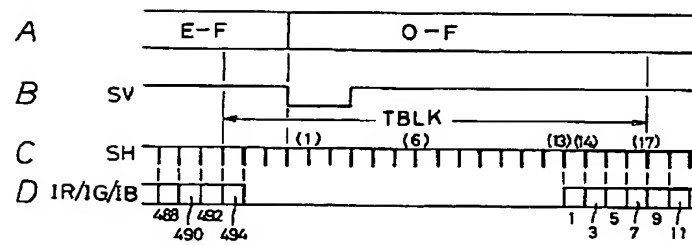




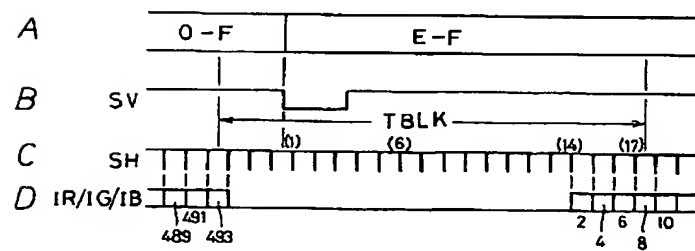
【図2】



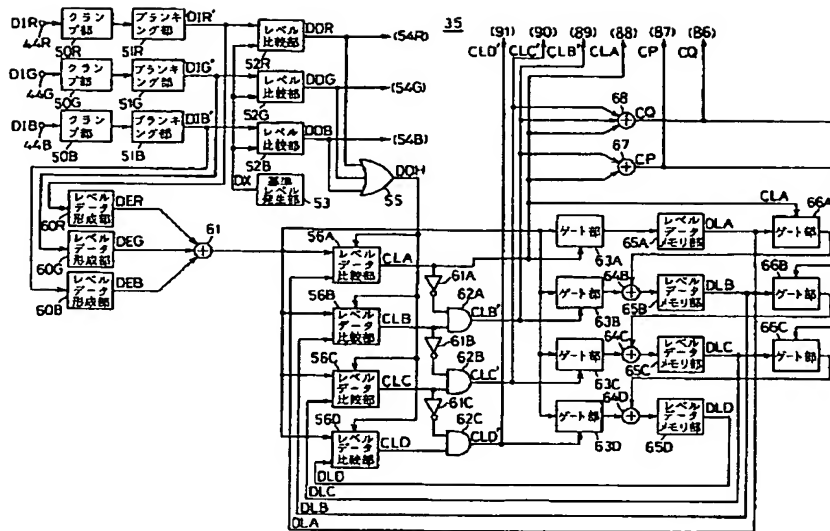
【図3】



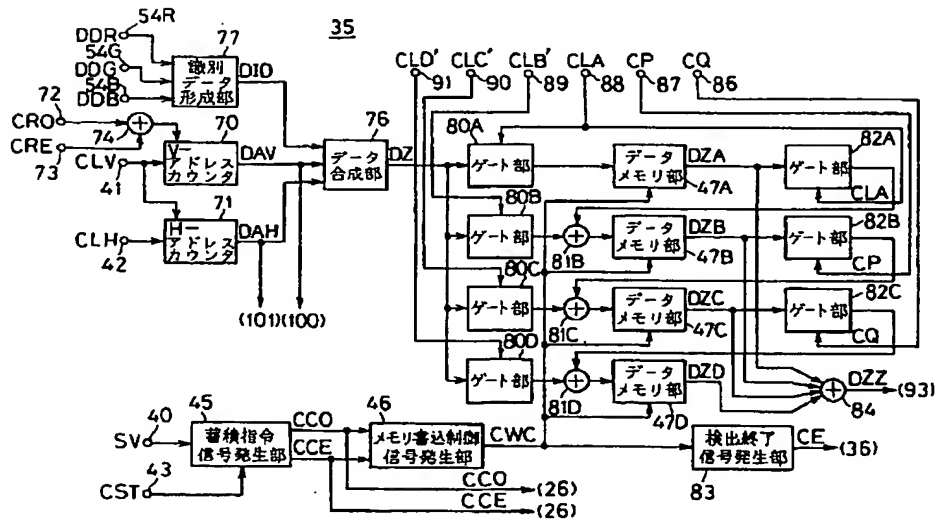
【図4】



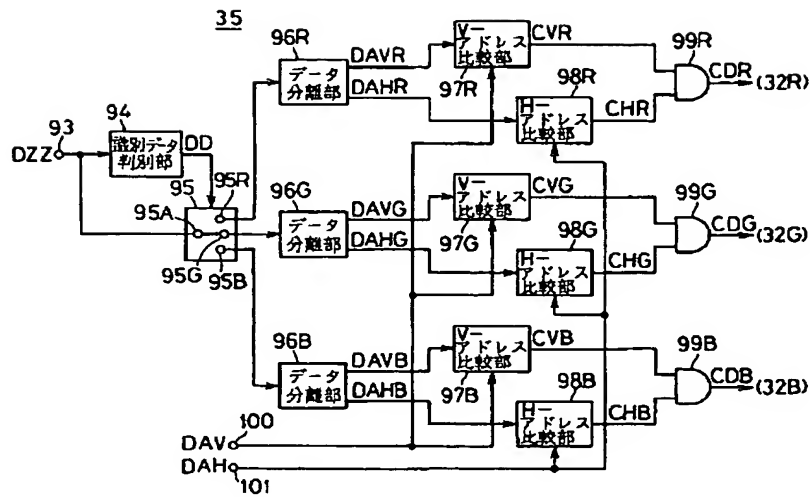
【図5】



【図6】



【図7】



【図8】

